

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-223671  
(P2000-223671A)

(43)公開日 平成12年8月11日(2000.8.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
H 01 L 27/108		H 01 L 27/10	6 5 1 5 F 0 0 1
21/8242		21/314	A 5 F 0 0 4
21/3065		27/10	4 5 1 5 F 0 5 8
21/314		21/302	A 5 F 0 8 3
27/10	4 5 1	27/10	6 2 1 B

審査請求 未請求 請求項の数20 OL (全51頁) 最終頁に続く

(21)出願番号 特願平11-24452  
(22)出願日 平成11年2月1日(1999.2.1)

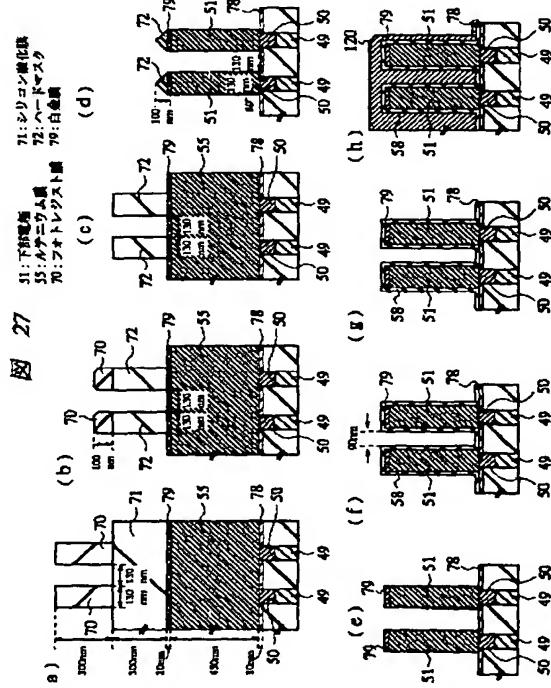
(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 湯之上 隆  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内  
(72)発明者 野尻 一男  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内  
(74)代理人 100080001  
弁理士 筒井 大和

最終頁に続く

## (54)【発明の名称】 半導体集積回路装置およびその製造方法

## (57)【要約】

【課題】 フォトレジスト膜のアッシングの際にルテニウム膜が浸食あるいは消失を受けることを防止する。  
【解決手段】 DRAMのメモリセルの下部電極51となるルテニウム膜55上に白金膜79を形成し、さらにシリコン酸化膜71を形成する。その後、シリコン酸化膜71上にフォトレジスト膜70をパターニングする。フォトレジスト膜70をマスクとしてシリコン酸化膜71をエッチングし、シリコン酸化膜からなるハードマスク72を形成する。ルテニウム膜55上に白金膜79が存在する状態でフォトレジスト膜70をアッシングにより除去する。その後、ハードマスク72をマスクとして白金膜79およびルテニウム膜55をエッチングし、下部電極51を形成する。



## 【特許請求の範囲】

- 【請求項1】 (a) 第1の主面を有する集積回路基体；  
 (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する第1の材料を主要な構成要素とする複数の柱状下部電極；  
 (c) 前記複数の柱状下部電極の各々の上端部に設けられた第2の材料を主要な構成要素とする被膜；  
 (d) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；  
 (e) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、  
 前記第2の材料は、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気における前記第1の材料のエッティング速度に比較して小さなエッティング速度を有するものであることを特徴とする半導体集積回路装置。
- 【請求項2】 請求項1記載の半導体集積回路装置であって、  
 前記第1の材料は、ルテニウム、イリジウムまたはそれらの酸化物から選択された何れかの材料であり、前記第2の材料は、白金、二酸化ルテニウム、酸化タンタル、酸化チタン、B S T、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料であることを特徴とする半導体集積回路装置。
- 【請求項3】 請求項2記載の半導体集積回路装置であって、  
 前記第1の材料はルテニウムであり、前記第2の材料は白金であることを特徴とする半導体集積回路装置。
- 【請求項4】 請求項3記載の半導体集積回路装置であって、  
 前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。
- 【請求項5】 (a) 第1の主面を有する集積回路基体；  
 (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；  
 (c) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；  
 (d) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、

- 前記上部電極の少なくともその表面部を構成する材料が、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気におけるルテニウムのエッティング速度に比較して小さなエッティング速度を有するものであることを特徴とする半導体集積回路装置。
- 【請求項6】 請求項5記載の半導体集積回路装置であって、  
 前記上部電極は、白金、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなることを特徴とする半導体集積回路装置。
- 【請求項7】 請求項5記載の半導体集積回路装置であって、  
 前記上部電極は、ルテニウムからなる下層部と、窒化チタン、シリコン酸化物、酸化タンタル、二酸化ルテニウム、白金、酸化チタン、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなる上層部とを含むことを特徴とする半導体集積回路装置。
- 【請求項8】 請求項7記載の半導体集積回路装置であって、  
 前記上部電極は、ルテニウムからなる下層部と、窒化チタン、シリコン酸化物、酸化タンタルから選択された何れかの材料からなる上層部とを含むことを特徴とする半導体集積回路装置。
- 【請求項9】 (a) 第1の主面を有する集積回路基体；  
 (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する第1の材料を主要な構成要素とする複数の柱状下部電極；  
 (c) 前記複数の柱状下部電極の各々の上端部に設けられた第2の材料を主要な構成要素とする被膜；  
 (d) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；  
 (e) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成し、少なくともその表面が第3の材料で構成された单一または複数の上部電極；を有し、  
 前記第2および第3の材料は、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気における前記第1の材料のエッティング速度に比較して小さなエッティング速度を有するものであることを特徴とする半導体集積回路装置。
- 【請求項10】 請求項9記載の半導体集積回路装置であって、  
 前記第1の材料は、ルテニウム、イリジウムまたはそれらの酸化物から選択された何れかの材料であり、前記第2の材料は、白金、二酸化ルテニウム、酸化タンタル、酸化チタン、B S T、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料であ

り、前記第3の材料は、窒化チタン、シリコン酸化物、酸化タンタル、二酸化ルテニウム、白金、酸化チタン、イリジウムまたは二酸化イリジウムから選択された何れかの材料であることを特徴とする半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置であって、

前記第1の材料はルテニウムであり、前記第2の材料は白金であり、前記第3の材料は窒化チタン、シリコン酸化物、酸化タンタルから選択された何れかの材料であることを特徴とする半導体集積回路装置。

【請求項12】 請求項11記載の半導体集積回路装置であって、

前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【請求項13】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；

(b) 前記第1の被膜上に、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッティング速度が小さい第2の被膜を形成する工程；

(c) 前記第2の被膜上に無機質の第3の被膜を形成する工程；

(d) 前記第3の被膜上にフォトレジスト膜パターンを形成する工程；

(e) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施し、前記第2の被膜上に前記第3の被膜の無機膜パターンを形成する工程；

(f) 前記フォトレジスト膜パターンをアッティングにより除去する工程；

(g) 前記無機膜パターンがある状態で、前記第1および第2の被膜に対して、ドライエッティングを施すことによって、前記第1および第2の被膜をパターニングする工程；

(h) パターニングされた前記第1および第2の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法であって、

前記第1の被膜はルテニウムからなり、前記第2の被膜は白金、二酸化ルテニウム、酸化タンタル、酸化チタン、B.S.T.、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項14記載の半導体集積回路装置の製造方法であって、さらに、

(i) 前記容量絶縁膜上に、単層または積層で構成さ

れ、少なくともその表面を構成する材料が、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッティング速度が小さい材料で構成された導電性の第4の被膜を形成する工程；

(j) 前記第4の被膜上にフォトレジスト膜パターンを形成する工程；

(k) 前記フォトレジスト膜パターンがある状態で前記第4の被膜に対してドライエッティングを施し、前記第4の被膜をパターニングする工程；

10 (l) 前記フォトレジスト膜パターンをアッティングにより除去する工程；を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法であって、

前記第4の被膜は、ルテニウムからなる下層と、窒化チタン、シリコン酸化膜または酸化タンタルからなる上層との2層で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項14記載の半導体集積回路装置の製造方法であって、さらに、

(i) 前記容量絶縁膜上に、単層または積層で構成され、少なくともその表面を構成する材料が、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッティング速度が小さい材料で構成された導電性の第4の被膜を形成する工程；

(j) 前記第4の被膜上に無機膜の第5の被膜を形成する工程；

(k) 前記第5の被膜上にフォトレジスト膜パターンを形成する工程；

30 (l) 前記第5の被膜に対するドライエッティングを施し、前記第5の被膜の無機膜パターンを形成する工程；

(m) 前記フォトレジスト膜パターンをアッティングにより除去する工程；

(n) 前記無機膜パターンがある状態で、前記第4の被膜に対して、ドライエッティングを施すことによって、前記第4の被膜をパターニングする工程；を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、

前記第4の被膜は、ルテニウムからなる下層と、窒化チタンからなる上層との2層で形成され、前記第5の被膜は、シリコン酸化膜で構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；

(b) 前記第1の被膜上に無機質の第3の被膜を形成する工程；

50 (c) 前記第3の被膜上にフォトレジスト膜パターンを

形成する工程：

(d) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施す工程；

(e) 前記フォトレジスト膜パターンをアッシングにより除去する工程；

(f) 前記第3の被膜がある状態で、前記第1の被膜に対して、ドライエッティングを施すことによって、前記第1の被膜をバーニングする工程；

(g) バーニングされた前記第1の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程；を有し、

前記(d)工程におけるドライエッティングは、前記第3の被膜の底面に達するまで行われることなく、前記第3の被膜に凹凸を形成するものであり、前記ドライエッティングの後には前記第3の被膜の凹部においても前記第3の被膜が残存していることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；

(b) 前記第1の被膜上に無機質の第3の被膜を形成する工程；

(c) 前記第3の被膜上にフォトレジスト膜パターンを形成する工程；

(d) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施し、前記第1の被膜上に前記第3の被膜の無機膜パターンを形成する工程；

(e) 前記フォトレジスト膜パターンを除去する工程；

(f) 前記無機膜パターンがある状態で、前記第1の被膜に対して、ドライエッティングを施すことによって、前記第1の被膜をバーニングする工程；

(g) バーニングされた前記第1の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程；を有し、

前記(e)工程における前記フォトレジスト膜パターンの除去は、ピーリング法またはウェットエッティング法により行われることを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、強(高)誘電体キヤバシタを有する半導体集積回路装置およびその製造方法に関し、特に、キヤバシタの下部電極を構成する導電材料を高アスペクト比であるいは高異方性で形成するプロセスに適用して有効な技術に関するものである。

##### 【0002】

【従来の技術】特開平10-98162号公報(湯之上ら)には、Ptなどの薄膜をレジストマスクを用いたドライエッティングでバーニングする際、蒸気圧の低い反

応生成物をパターンの側面に残留させず、しかも高い寸法精度で微細なパターンを形成することを目的として、少なくとも下側半分の側面がほぼ垂直で、頭部の外周部に順テープまたは丸みを有する所定のパターンのフォトレジストをマスクにして、薄膜パターンの側面にその下端に達する順テープが形成されるように、ドライエッティングによりバーニングする技術が記載されている。

【0003】また、特開平8-153707号公報(渡嘉敷)には、白金や導電性酸化物の微細パターンの形成過程で、その表面に生じた炭素やハロゲン元素等の汚染を除去し、かつ、電極表面状態を電極材料形成時と同等あるいは極めて近い状態にすることを目的として、ルテニウムまたはルテニウム酸化物等を含む電極を選択的にドライエッティングした後に、引き継ぎ酸素、オゾン、水蒸気または窒素酸化物ガスを用いて電極表面を処理する技術が記載されている。

【0004】また、特開平9-266200号公報(中川ら)は、強誘電体や白金の微細加工の容易な実現を目的として、以下の製造技術を開示している。すなわち、半導体基板およびデバイス絶縁膜上に下層白金膜、強誘電体膜および上層白金膜の積層膜を形成し、さらに前記積層膜厚の10分の1以下の膜厚のチタン膜を形成する。チタン膜をフォトレジスト膜を用いてバーニングした後、このバーニングされたチタン膜を用いて前記積層膜厚を酸素濃度40%の酸素および塩素の混合ガスでエッティングする。その後チタン膜を塩素ガスでエッティングし除去する。

##### 【0005】

【発明が解決しようとする課題】1 Gbit 以降の大容量DRAM(Dynamic Random Access Memory)は、メモリセルの微細化に伴う蓄積電荷量の減少を補う対策として、情報蓄積容量素子(キャパシタ)の容量絶縁膜を比誘電率が20程度であって非ペロブスカイト型構造を有する $Ta_2O_5$ 、比誘電率が100以上で $ABO_3$ 型複酸化物すなわちペロブスカイト型複酸化物である BST( $(Ba, Sr)TiO_3$ )等の高誘電体材料、さらには、PZT( $PbZr_xTi_{1-x}O_3$ )、PLT( $PbLa_xTi_{1-x}O_3$ )、PLZT、 $PbTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ といったペロブスカイト構造等の結晶構造を含む強誘電体で構成することが検討されている。他方、不揮発性メモリの分野においても、前記した強誘電体材料の分極反転を記憶保持に利用した強誘電体メモリの開発が進められている。

【0006】キャパシタの容量絶縁膜を前記のような強誘電体材料で構成する場合、あるいは、不揮発性メモリの分極反転用膜に前記のような強誘電体材料を用いる場合には、前記文献に記載されているように、強誘電体材料膜を挟む電極用の導電膜をこれらの材料に対して親和性の高い、例えば白金族元素(ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(O

s)、イリジウム (Ir)、白金 (Pt) を主構成材料とする金属、あるいはそれらの酸化物で構成する必要がある。

【0007】ところが、それら白金族金属またはその酸化物は、一般に異方性良くエッティングすることが困難であり、また、エッティング残りによる短絡不良の発生が懸念される。たとえばPtを使用してキャパシタを形成する場合の問題点として、基板上に堆積したPt薄膜をドライエッティングで加工する際に、蒸気圧の低い反応生成物がパターンの側面に多量に付着し、これがキャパシタ同士の短絡を引き起こす原因になる。このようなパターンの側面に付着する反応生成物の存在がパターンの異方性を悪くする原因ともなる。

【0008】すなわち、本発明者らの検討によれば、1GビットDRAMのキャパシタに高誘電体のBSTを容量絶縁膜に用いた場合、下部電極のサイズとして0.13μmの最小幅、0.45μmの高さが必要とされる。また、下部電極間のスペースには0.13μmの間隔が要求される。このような微細なパターンを実用に耐えるだけの信頼性とともに製造するには80度以上、好ましくは85度以上のテーパ角が必要である。ここで、テーパ角は、下部電極の側壁と下地材料表面とのなす角度をいう。

【0009】図34は、テーパ角と微細パターン形状との関係を模式的に示した断面図である。図34(a)に示すようにテーパ角が90度であることが理想である。パターン底面の幅を0.13μm、パターン高さを0.45μmと仮定すれば、テーパ角が80度の場合(図34(f))では、パターン高さが実現できず、テーパ角が82度(図34(e))となって初めてパターン高さが確保できる。しかしこれではパターン上面の面積が確保できず、テーパ角が85度の場合(図34(d))でパターン上面の面積がある程度確保でき、テーパ角が87度の場合(図34(c))でパターン上面の面積が十分に確保できる。テーパ角が89度の場合(図34(b))には、ほぼ理想状態となる。

【0010】一方、本発明者らは、窒化チタン膜等をマスクとしてルテニウム等の白金族金属あるいはそれらの酸化物を塗素を含む酸素プラズマにおいてエッティングする技術について検討し、エッティングガスの大流量化およびオーバーエッティングを図ることにより、テーパ角が89度のほぼ理想的なエッティング断面形状を実現する未だ公知にされていない技術を開発した。

【0011】ところが、エッティング直後においてはほぼ理想的なエッティング断面形状であっても、マスクである窒化チタン膜等を除去する処理の後に、そのマスク除去処理によりエッティング形状が鈍るつまりテーパ角の鈍化あるいはパターンの細りが発生するという問題がある。また、マスク除去処理により下部電極である白金族金属あるいはその酸化物の表面が粗面化し、容量絶縁膜の接

着性が低下するという問題がある。さらに、マスクである窒化チタン膜の除去の際のエッティング処理により、柱状下部電極の底部に隣接する下地絶縁膜の削れが生じる。このような削れの発生は、容量絶縁膜の段差被覆性の困難性を高め、高信頼性の容量絶縁膜を形成する観点からは好ましくない。

【0012】本発明の目的は、BST等の強誘電体膜に適したルテニウムあるいは酸化ルテニウム等の微細なエッティング加工を実現することにある。

10 【0013】また、本発明の目的は、窒化チタン膜等のハードマスクの除去工程に伴うパターンの細り、パターン上面の荒れの発生、下地絶縁膜の削れを防止し、高信頼性の容量絶縁膜の形成工程を提供することにある。

【0014】さらに本発明の目的は、蓄積容量形成工程を簡略化することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0016】

20 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に項に分けて説明すれば、次のとおりである。

【0017】1. 以下の構成を有する半導体集積回路装置：

(a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する第1の材料を主要な構成要素とする複数の柱状下部電極；

30 (c) 前記複数の柱状下部電極の各々の上端部に設けられた第2の材料を主要な構成要素とする被膜；

(d) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；

(e) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；を有し、前記第2の材料は、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気に

40 おける前記第1の材料のエッティング速度に比較して小さなエッティング速度を有するものである。

【0018】2. 項1記載の半導体集積回路装置であつて、前記第1の材料は、ルテニウム、イリジウムまたはそれらの酸化物から選択された何れかの材料であり、前記第2の材料は、白金、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料である。

【0019】3. 項2記載の半導体集積回路装置であつて、前記第1の材料はルテニウムであり、前記第2の材

料は白金である。

【0020】4. 項3記載の半導体集積回路装置であつて、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有する。

【0021】5. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；
- (c) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；
- (d) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記上部電極の少なくともその表面部を構成する材料が、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気におけるルテニウムのエッティング速度に比較して小さなエッティング速度を有する。

【0022】6. 項5記載の半導体集積回路装置であつて、前記上部電極は、白金、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなる。

【0023】7. 項5記載の半導体集積回路装置であつて、前記上部電極は、ルテニウムからなる下層部と、窒化チタン、シリコン酸化物、酸化タンタル、二酸化ルテニウム、白金、酸化チタン、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなる上層部とを含む。

【0024】8. 項7記載の半導体集積回路装置であつて、前記上部電極は、ルテニウムからなる下層部と、窒化チタン、シリコン酸化物、酸化タンタルから選択された何れかの材料からなる上層部とを含む。

【0025】9. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する第1の材料を主要な構成要素とする複数の柱状下部電極；
- (c) 前記複数の柱状下部電極の各々の上端部に設けられた第2の材料を主要な構成要素とする被膜；
- (d) 前記複数の柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体からなる誘電体膜；
- (e) 前記誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成し、少なくともその表面が第3の材料で構成された单一または複数の上部電極；を有し、前記

(6) 特開2000-223671 (P2000-223671A)

第2および第3の材料は、酸素を含むプラズマ雰囲気、酸素ラジカルを含む雰囲気、またはオゾンを含む雰囲気における前記第1の材料のエッティング速度に比較して小さなエッティング速度を有する。

【0026】10. 項9記載の半導体集積回路装置であつて、前記第1の材料は、ルテニウム、イリジウムまたはそれらの酸化物から選択された何れかの材料であり、前記第2の材料は、白金、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料であり、前記第3の材料は、窒化チタン、シリコン酸化物、酸化タンタル、二酸化ルテニウム、白金、酸化チタン、イリジウムまたは二酸化イリジウムから選択された何れかの材料である。

【0027】11. 項10記載の半導体集積回路装置であつて、前記第1の材料はルテニウムであり、前記第2の材料は白金であり、前記第3の材料は窒化チタン、シリコン酸化物、酸化タンタルから選択された何れかの材料である。

【0028】12. 項11記載の半導体集積回路装置であつて、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有する。

【0029】13. 以下の工程を含む半導体集積回路装置の製造方法：

- (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；
- (b) 前記第1の被膜上に、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッシング雰囲気でのエッティング速度が小さい第2の被膜を形成する工程；
- (c) 前記第2の被膜上に無機質の第3の被膜を形成する工程；
- (d) 前記第3の被膜上にフォトレジスト膜パターンを形成する工程；
- (e) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施し、前記第2の被膜上に前記第3の被膜の無機膜パターンを形成する工程；
- (f) 前記フォトレジスト膜パターンをアッシングにより除去する工程；
- (g) 前記無機膜パターンがある状態で、前記第1および第2の被膜に対して、ドライエッティングを施すことによって、前記第1および第2の被膜をパターニングする工程；
- (h) パターニングされた前記第1および第2の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程。

【0030】14. 項13記載の半導体集積回路装置の製造方法であつて、前記第1の被膜はルテニウムからなり、前記第2の被膜は白金、二酸化ルテニウム、酸化タ

ンタル、酸化チタン、B.S.T、シリコン酸化物、イリジウムまたは二酸化イリジウムから選択された何れかの材料からなる。

【0031】15. 項14記載の半導体集積回路装置の製造方法であつて、さらに、

(i) 前記容量絶縁膜上に、単層または積層で構成され、少なくともその表面を構成する材料が、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッシング雰囲気でのエッティング速度が小さい材料で構成された導電性の第4の被膜を形成する工程；

(j) 前記第4の被膜上にフォトレジスト膜パターンを形成する工程；

(k) 前記フォトレジスト膜パターンがある状態で前記第4の被膜に対してドライエッティングを施し、前記第4の被膜をバーニングする工程；

(l) 前記フォトレジスト膜パターンをアッシングにより除去する工程；を含む。

【0032】16. 項15記載の半導体集積回路装置の製造方法であつて、前記第4の被膜は、ルテニウムからなる下層と、窒化チタン、シリコン酸化膜または酸化タンタルからなる上層との2層で形成される。

【0033】17. 項14記載の半導体集積回路装置の製造方法であつて、さらに、

(i) 前記容量絶縁膜上に、単層または積層で構成され、少なくともその表面を構成する材料が、前記第1の被膜よりもフォトレジスト膜の除去工程におけるアッシング雰囲気でのエッティング速度が小さい材料で構成された導電性の第4の被膜を形成する工程；

(j) 前記第4の被膜上に無機膜の第5の被膜を形成する工程；

(k) 前記第5の被膜上にフォトレジスト膜パターンを形成する工程；

(l) 前記フォトレジスト膜パターンがある状態で前記第5の被膜に対してドライエッティングを施し、前記第5の被膜の無機膜パターンを形成する工程；

(m) 前記フォトレジスト膜パターンをアッシングにより除去する工程；

(n) 前記無機膜パターンがある状態で、前記第4の被膜に対して、ドライエッティングを施すことによって、前記第4の被膜をバーニングする工程；を含む。

【0034】18. 項17記載の半導体集積回路装置の製造方法であつて、前記第4の被膜は、ルテニウムからなる下層と、窒化チタンからなる上層との2層で形成され、前記第5の被膜は、シリコン酸化膜で構成される。

【0035】19. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；

(b) 前記第1の被膜上に無機質の第3の被膜を形成す

る工程；

(c) 前記第3の被膜上にフォトレジスト膜パターンを形成する工程；

(d) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施す工程；

(e) 前記フォトレジスト膜パターンをアッシングにより除去する工程；

(f) 前記第3の被膜がある状態で、前記第1の被膜に対して、ドライエッティングを施すことによって、前記第1の被膜をバーニングする工程；

(g) バーニングされた前記第1の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程；を有し、前記(d)工程におけるドライエッティングは、前記第3の被膜の底面に達するまで行われることなく、前記第3の被膜に凹凸を形成するものであり、前記ドライエッティングの後には前記第3の被膜の凹部においても前記第3の被膜が残存している。

【0036】20. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき導電性の第1の被膜を形成する工程；

(b) 前記第1の被膜上に無機質の第3の被膜を形成する工程；

(c) 前記第3の被膜上にフォトレジスト膜パターンを形成する工程；

(d) 前記フォトレジスト膜パターンがある状態で前記第3の被膜に対してドライエッティングを施し、前記第1の被膜上に前記第3の被膜の無機膜パターンを形成する工程；

(e) 前記フォトレジスト膜パターンを除去する工程；

(f) 前記無機膜パターンがある状態で、前記第1の被膜に対して、ドライエッティングを施すことによって、前記第1の被膜をバーニングする工程；

(g) バーニングされた前記第1の被膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき誘電体膜を形成する工程；を有し、前記(e)工程における前記フォトレジスト膜パターンの除去は、ピーリング法またはウェットエッティング法により行われる。

【0037】また、本願の他の発明の概要を項に分けて記載し、以下に示す。すなわち、

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に高誘電体または強誘電体膜からなる第1の誘電体膜パターンを形成する工程；

(c) 前記第1の誘電体膜パターンがある状態で、前記第1の導電膜に対して、ドライエッティングを施すことによ

よって、前記第1の導電膜をバーニングする工程；  
 (d) バーニングされた前記第1の導電膜および前記第1の誘電体膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0038】2. 前記項1において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0039】3. 前記項2において、前記第1の誘電体膜と前記第2の誘電体膜は、実質的に同一の分子構造を有する物質からなることを特徴とする半導体集積回路装置の製造方法。

【0040】4. 前記項3において、前記第1の導電膜は白金族元素またはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0041】5. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の無機膜パターンを形成する工程；

(c) 前記第1の無機膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をバーニングする工程；

(d) バーニングされた前記第1の導電膜および前記第1の無機膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0042】6. 前記項5において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0043】7. 前記項6において、前記第1の無機膜パターンはシリコン酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

【0044】8. 前記項6において、前記第1の無機膜パターンは金属と窒素を含む化合物からなることを特徴とする半導体集積回路装置の製造方法。

【0045】9. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべきルテニウム、イリジウムまたはそれらの酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の白金膜パターンを形成する工程；

(c) 前記第1の白金膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をバーニングする工程；

(d) バーニングされた前記第1の導電膜および前記第1の白金膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第2の誘電体膜を形成する工程；

10 (e) 前記第1の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0046】10. 前記項9において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0047】11. 前記項10において、前記第1の導電膜は、ルテニウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0048】12. 前記項10において、前記第1の導電膜は、イリジウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0049】13. 以下の構成を有する半導体集積回路装置：

(a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記複数の柱状下部電極の各々は、その上面の面積がその底面の面積の25%以下となるように、その側面がテーパーを有している。

40 【0050】14. 前記項13において、前記複数の柱状下部電極の少なくとも一部は、その幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【0051】15. 前記項14において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0052】16. 前記項14において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

## 装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；
- (c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；
- (d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記複数の柱状下部電極の各々の上面に対応する部分の対応するメモリセルの情報蓄積容量素子に対する容量の寄与は3%以下である。

【0054】18. 前記項17において、前記複数の柱状下部電極の少なくとも一部はその幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【0055】19. 前記項18において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0056】20. 前記項18において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0057】21. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；
- (c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；
- (d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記複数の柱状下部電極の各々はその最大の容積を占める下部電極主要部とその上面を覆うように配置された材質の異なる下部電極上端部を含み、この下部電極上端部の頭部両端部には前記下部電極主要部の頭部両端部の断面形状と比較して大きな面取り形状を有している。

【0058】22. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は台形状の断面を有することを特徴とする半導体集積回路装置。

【0059】23. 前記項21において、前記複数の柱

状下部電極の各々の下部電極上端部は三角形状の断面を有することを特徴とする半導体集積回路装置。

【0060】24. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方に向半分以上切り取られた長方形形状の断面を有することを特徴とする半導体集積回路装置。

【0061】25. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方に向半分以上に渡って丸みを帯びさせた断面形状を有することを特徴とする半導体集積回路装置。

【0062】26. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成するルテニウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；
- (c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

20 (d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極。

【0063】27. 前記項26において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする半導体集積回路装置。

【0064】28. 前記項27において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【0065】29. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれダイナミックRAMのメモリセルの情報蓄積容量素子を構成するイリジウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；

40 (c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの

情報蓄積容量素子を構成する单一または複数の上部電極。

【0066】30. 前記項29において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする半導体集積回路装置。

【0067】31. 前記項30において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【0068】32. 以下の構成を有する半導体集積回路装置：

(a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上に設けられた第1の膜パター  
ン；

(c) 前記第1の膜パターん上に設けられた白金族元素またはその酸化物からなる第2の膜パターん；

(d) 前記第2の膜パターんをドライエッティングによりパターニングする際に、その側面に付着した側壁付着膜；

(e) 前記側壁付着膜および前記第2の膜パターんを覆うように、前記第1の膜パターん上に直接または間接に形成された絶縁膜。

【0069】33. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウェハの主面上に第1の膜を形成する工程；

(b) 前記第1の膜上に無機部材からなる第2の膜を形成する工程；

(c) 前記第2の膜上にフォトレジスト膜を形成する工程；

(d) 前記フォトレジスト膜をパターニングする工程；

(e) パターニングされた前記フォトレジスト膜がある状態で、前記第2の膜に対してドライエッティング処理を施すことによって、前記第2の膜をパターニングとともに、そのパターニングの側面に側壁付着膜を形成する工程；

(f) パターニングされ、側壁付着膜を有する前記第2の膜のある状態で、前記第1の膜に対して、ドライエッティング処理を施すことによって、前記第1の膜をパターニングする工程。

【0070】さらに、本願のその他の発明の概要を項に分けて記載し、以下に示す。すなわち、

1. (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の無機膜パターんを形成する工程；

(c) 前記第1の無機膜パターんがある状態で、前記第1の導電膜に対して、ドライエッティングを施すことによつて、前記第1の導電膜をパターニングする工程；

(d) パターニングされた前記第1の導電膜および前記第1の無機膜パターん表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程；を有し、前記第1の無機膜パターんはシリコン窒化膜、白金膜、ルテニウム膜、B<sub>2</sub>T<sub>3</sub>膜、P<sub>2</sub>T<sub>3</sub>膜、またはこれらとシリコン酸化膜との積層膜、の何れかからなることを特徴とする半導体集積回路装置の製造方法。

【0071】2. (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記複数の柱状下部電極の各々は、その上面と前記第1の誘電体膜との間に第2の誘電体膜が形成され、前記第1の誘電体膜が接する前記柱状下部電極の第1の面積S<sub>1</sub>と、前記第2の誘電体膜が接する前記柱状下部電極の第2の面積S<sub>2</sub>とは、S<sub>1</sub>/(S<sub>1</sub>+S<sub>2</sub>)>85%の関係を有する半導体集積回路装置。

【0072】3. 前記項2において、前記第1の誘電体膜の誘電率は前記第2の誘電体膜の誘電率以上であることを特徴とする半導体集積回路装置。

【0073】4. (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の導電膜よりも膜厚の薄い第2の導電膜を形成する工程；

(c) 前記第2の導電膜上に第1の無機膜パターんを形成する工程；

(d) 前記第1の無機膜パターんがある状態で、前記第1および第2の導電膜に対して、ドライエッティングを施すことによって、前記第1および第2の導電膜をパターニングする工程；

(e) パターニングされた前記第1および第2の導電膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(f) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程；を有し、前記(d)工程の完了時またはオ

バーエッティングの期間中に前記第1の無機膜パターンがエッティングされ、消失することを特徴とする半導体集積回路装置の製造方法。

【0074】5. 前記項4において、前記第1の導電膜の膜厚は、前記第2の導電膜の膜厚の10倍以上であることを特徴とする半導体集積回路装置の製造方法。

【0075】6. 前記項5において、前記第1の導電膜はルテニウム、イリジウムまたはそれらの酸化物からなり、前記第2の導電膜は白金からなることを特徴とする半導体集積回路装置の製造方法。

【0076】7. 前記項6において、前記第1の無機膜パターンは、シリコン酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

【0077】8. (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成するルテニウム、イリジウムまたはそれらの酸化物を主要な構成要素とする複数の柱状下部電極；

(c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する单一または複数の上部電極；を有し、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも10倍以上厚いことを特徴とする半導体集積回路装置。

【0078】9. (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の導電膜よりも膜厚の薄い第2の導電膜を形成する工程；

(c) 前記第2の導電膜上に誘電体膜を形成する工程；

(d) 前記誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき白金族またはその酸化物からなる第3の導電膜を形成する工程；

(e) 前記第3の導電膜上に第3の導電膜よりも膜厚の薄い第4の導電膜を形成する工程；

(f) 前記第4の導電膜をバーニングし、前記第4の導電膜のパターンが存在する状態で前記第3の導電膜の導電膜をバーニングする工程；

(g) 前記第2の導電膜をバーニングし、前記第2の導電膜のパターンが存在する状態で前記第1の導電膜の導電膜をバーニングする工程；を有することを特徴と

(11) 特開2000-223671 (P2000-223671A)

20

する半導体集積回路装置の製造方法。

【0079】10. 前記項9において、前記第1および第3の導電膜はルテニウム、イリジウムまたはそれらの酸化物であり、前記第2および第4の導電膜は白金であることを特徴とする半導体集積回路装置の製造方法。

【0080】11. 前記項10において、前記第2および第4の導電膜は残存することを特徴とする半導体集積回路装置の製造方法。

【0081】

10 【発明の実施の形態】以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0082】さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0083】また、本願で半導体集積回路装置というときは、シリコンウェハ上に作られるものだけでなく、特にそうでない旨明示された場合を除き、TFT液晶等の他の基板上に作られるもの等も含むものとする。また、本願でウェハの主面または主面上という場合は、状況により基板の主面それ自体または基板上に単層または多層の薄膜が形成された上面をいう。

【0084】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その数に限定されるものではなく、特定の数以上でも以下でもよい。

20 【0085】更に、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0086】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するものを含むものとする。このことは前記数値、範囲等についても同様である。

【0087】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0088】(実施の形態1) 図1は、実施の形態1のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置され

50

ている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの正面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0089】図2は、実施の形態2のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WL0、WL1、WL<sub>n</sub>...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQ<sub>s</sub>とで構成されている。メモリセル選択用MISFETQ<sub>s</sub>のソース、ドレインの一方は、情報蓄積容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0090】次に、本実施の形態のDRAMの製造方法を図面を用いて工程順に説明する。図3～図12および図15は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【0091】まず、図3に示すように、素子分離領域および不純物が導入されたウェル領域を形成する。

【0092】p型で比抵抗が10Ωcm程度の単結晶シリコンからなる集積回路基体1(集積回路ウェハ)を用意し、たとえば850℃程度でウェット酸化して形成した膜厚10nm程度の薄いシリコン酸化膜(図示せず)およびたとえばCVD(Chemical Vapor Deposition)法で形成した膜厚140nm程度のシリコン窒化膜(図示せず)を集積回路基体1上に堆積する。なお、本願で集積回路ウェハと言うときは、半導体集積回路装置製造用のウェハまたは半導体ウェハであって、SOS、SOI、単結晶シリコン基板、TFT等の絶縁基板を含む。また、言うまでもないが、未加工のウェハだけでなく、ウェハ工程途中の絶縁膜や導電膜が形成されたものも含まれる。また、本願で集積回路基体というときは、言うまでもないことであるが、未加工のウェハやダイシング工程が完了した半導体単結晶片だけでなく、ウェハ工程途中のものも含まれる。一般に半導体チップはペレットを指し、場合により半導体集積回路装置用ウェハまたは半導体ウェハであって、SOS、SOI、単結晶シリコン基板、TFT等の絶縁基板を含む。

【0093】次に、フォトレジスト膜(図示せず)をマスクにして、溝5が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして集積回路基体1をドライエッチングすることにより、素子分離領域の集積回路基体1に深さ300～400nm程度の溝5を形成する。

【0094】次に、前記フォトレジスト膜を除去した後、前記のエッティングによって溝5の内壁に生じたダメージ層を除去するために、たとえば850～900℃程度のウェット酸化による薄い(膜厚10nm程度の)シリコン酸化膜6を溝5の内壁に形成し、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜(図示せず)を300～400nm程度の膜厚で堆積する。このシリコン酸化膜は、1000℃程度でドライ酸化によりシンタリング(焼き締め)を行なってよい。

【0095】次に、このシリコン酸化膜をCMP法により研磨して溝5以外の領域のシリコン酸化膜を除去し、溝5の内部にシリコン酸化膜7を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝5の領域にシリコン窒化膜を形成して、溝5領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

【0096】次に、集積回路基体1の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リソ그래フィー酸を用いたウェットエッティングで除去した後、メモリセルを形成する領域(メモリアレイ)の集積回路基体1にn型不純物、たとえばP(リン)をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてp型ウェル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、たとえばP(リン)をイオン打ち込みしてn型ウェル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、たとえばBF<sub>2</sub>(フッ化ホウ素)をp型ウェル11およびn型ウェル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから集積回路基体1を通じてメモリアレイのp型ウェル11にノイズが侵入するのを防止するために形成される。

【0097】次に、集積回路基体1の表面をたとえばHF(フッ酸)系の洗浄液を使って洗浄した後、集積回路基体1を850℃程度でウェット酸化してp型ウェル11およびn型ウェル12の各表面に膜厚7nm程度の清浄なゲート酸化膜13を形成する。特に限定はされないが、前記ゲート酸化膜13を形成した後、集積回路基体1をNO(酸化窒素)雰囲気中またはN<sub>2</sub>O(亜酸化窒素)雰囲気中で熱処理することによって、ゲート酸化膜13と集積回路基体1との界面に窒素を偏析させてもよい(酸窒化処理)。

【0098】次に、図4に示すように、ゲート酸化膜13の上部にゲート電極14A、14B、14Cを形成する。ゲート電極14Aは、メモリセル選択用MISFETの一部を構成し、活性領域以外の領域ではワードW

Lとして使用される。このゲート電極14A（ワード線WL）の幅、すなわちゲート長は、メモリセル選択用MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の寸法で構成され、隣接するゲート電極14A（ワード線WL）同士の間隔は、フォトリソグラフィの解像限界で決まる寸法で構成できる。ゲート電極14Bおよびゲート電極14Cは、周辺回路のnチャネル型MISFETおよびpチャネル型MISFETの各一部を構成する。

【0099】ゲート電極14A（ワード線WL）およびゲート電極14B、14Cは、たとえばP（リン）などのn型不純物がドープされた膜厚70nm程度の多結晶シリコン膜を集積回路基体1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のWN（タングステンナイトライド）膜と膜厚100nm程度のW膜とをスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のシリコン窒化膜15をCVD法で堆積した後、フォトレジスト膜16をマスクにしてこれらの膜をパターニングすることにより形成する。WN膜は、高温熱処理時にW膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN膜の他、TiN（チタンナイトライド）膜などを使用することもできる。

【0100】次に、フォトレジスト膜16を除去した後、図5に示すように、n型ウエル12にp型不純物、たとえばB（ホウ素）をイオン打ち込みしてゲート電極14Cの両側のn型ウエル12にp+型半導体領域17を形成する。また、p型ウエル11にn型不純物、たとえばP（リン）をイオン打ち込みしてゲート電極14Bの両側のp型ウエル11にn-型半導体領域18を形成し、ゲート電極14Aの両側のp型ウエル11にn型半導体領域19を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsが形成される。

【0101】次に、集積回路基体1上にCVD法で膜厚50～100nm程度のシリコン窒化膜20を堆積した後、メモリアレイのシリコン窒化膜20をフォトレジスト膜21で覆い、周辺回路のシリコン窒化膜20を異方性エッティングすることにより、ゲート電極14B、14Cの側壁にサイドウォールスペーサ20aを形成する。このエッティングは、ゲート酸化膜13や素子分離溝5に埋め込まれたシリコン酸化膜7の削れ量を最少とするために、シリコン酸化膜に対するシリコン窒化膜20のエッティングレートが大きくなるようなエッティングガスを使用して行う。また、ゲート電極14B、14C上のシリコン窒化膜15の削れ量を最少とするために、オーバーエッティング量を必要最小限にとどめるようにする。

【0102】次に、フォトレジスト膜21を除去した後、周辺回路領域のn型ウエル12にp型不純物、たとえばB（ホウ素）をイオン打ち込みしてpチャネル型MISFETのp+型半導体領域22（ソース、ドレイ

ン）を形成し、周辺回路領域のp型ウエル11にn型不純物、たとえばAs（ヒ素）をイオン打ち込みしてnチャネル型MISFETのn+型半導体領域23（ソース、ドレン）を形成する。これにより、周辺回路領域にLDD（Lightly Doped Drain）構造を備えたpチャネル型MISFETQpおよびnチャネル型MISFETQnが形成される。

【0103】次に、図6に示すように、集積回路基体1上に膜厚300nm程度のSOG（Spin On Glass）膜24をスピニ塗布した後、集積回路基体1を800°C、1分程度熱処理してSOG膜24をシンタリング（焼き締め）する。また、SOG膜24の上部に膜厚600nm程度のシリコン酸化膜25を堆積した後、このシリコン酸化膜25をCMP法で研磨してその表面を平坦化する。さらに、シリコン酸化膜25の上部に膜厚100nm程度のシリコン酸化膜26を堆積する。このシリコン酸化膜26は、CMP法で研磨されたときに生じた前記シリコン酸化膜25の表面の微細な傷を補修するために堆積する。シリコン酸化膜25、26は、たとえばオゾン（O<sub>3</sub>）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。シリコン酸化膜26に代えてPSG（Phospho Silicate Glass）膜などを堆積してもよい。

【0104】次に、フォトレジスト膜をマスクにしたドライエッティングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレン）の上部のシリコン酸化膜26、25およびSOG膜24を除去する。このエッティングは、シリコン窒化膜20に対するシリコン酸化膜26、25およびSOG膜24のエッティングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5の上部を覆っているシリコン窒化膜20が完全には除去されないようにする。続いて、前記フォトレジスト膜をマスクにしたドライエッティングでメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレン）の上部のシリコン窒化膜20とゲート酸化膜13とを除去することにより、n型半導体領域19（ソース、ドレン）の一方の上部にコンタクトホール28を形成し、他方の上部にコンタクトホール29を形成する。このエッティングは、シリコン酸化膜（ゲート酸化膜13および素子分離溝5内のシリコン酸化膜7）に対するシリコン窒化膜15のエッティングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッティングは、シリコン窒化膜20が異方的にエッティングされるような条件で行い、ゲート電極14A（ワード線WL）の側壁にシリコン窒化膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A（ワード線WL）に対して自己整合で形成される。

50 コンタクトホール28、29をゲート電極14A（ワード

ド線WL)に対して自己整合で形成するには、あらかじめシリコン窒化膜20を異方性エッティングしてゲート電極14A(ワードWL)の側壁にサイドウォールスペーサを形成しておいてもよい。

【0105】次に、フォトレジスト膜を除去し、フッ酸+フッ化アンモニウム混液などのエッティング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッティング残渣やフォトレジスト残渣などを除去した後、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、シリコン酸化膜26の上部にn型不純物(たとえばP(リン))をドープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0106】次に、図7に示すように、シリコン酸化膜26の上部に膜厚200nm程度のシリコン酸化膜31を堆積した後、集積回路基体1を800°C程度で熱処理する。シリコン酸化膜31は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19(ソース、ドレイン)に拡散し、n型半導体領域19が低抵抗化される。

【0107】次に、フォトレジスト膜をマスクにしたドライエッティングで前記コンタクトホール28の上部のシリコン酸化膜31を除去してプラグ30の表面を露出させる。その後、新たなフォトレジスト膜をマスクにしたドライエッティングで周辺回路領域のシリコン酸化膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域23(ソース、ドレイン)の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp<sup>+</sup>型半導体領域22(ソース、ドレイン)の上部にコンタクトホール36、37を形成する。

【0108】次に、フォトレジスト膜を除去した後、シリコン酸化膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まずシリコン酸化膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、集積回路基体1を800°C程度で熱処理する。次いで、Ti膜の上部に膜厚50nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度のシリコン窒化膜40とをCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターニングする。

【0109】シリコン酸化膜31の上部にTi膜を堆積した後、集積回路基体1を800°C程度で熱処理すること

により、Ti膜と下地Siとが反応し、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域23(ソース、ドレイン)の表面とpチャネル型MISFETQpのp<sup>+</sup>型半導体領域22(ソース、ドレイン)の表面とプラグ30の表面とに低抵抗のTiSi<sub>2</sub>(チタンシリサイド)層42が形成される。これにより、n<sup>+</sup>型半導体領域23、p<sup>+</sup>型半導体領域22およびプラグ30に接続される配線(ビット線BL、第1層配線38、39)のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができる。DRAMの製造工程を短縮することができる。さらに、周辺回路の第1層配線(38、39)をビット線BLと同層の配線で構成した場合には、第1層配線をメモリセルの上層のAI配線で構成する場合に比べて周辺回路のMISFET(nチャネル型MISFETQn、pチャネル型MISFETQp)と第1層配線とを接続するコンタクトホール(34~37)のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0110】ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。

【0111】次に、フォトレジスト膜を除去した後、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法でシリコン窒化膜を堆積した後、このシリコン窒化膜を異方性エッティングして形成する。

【0112】次に、図8に示すように、ビット線BLおよび第1層配線38、39の上部に膜厚300nm程度のSOG膜44をスピンドルスピン塗布する。次いで、集積回路基体1を800°C、1分程度熱処理してSOG膜44をシンタリング(焼き締め)する。SOG膜44は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むことができる。

【0113】次に、SOG膜44の上部に膜厚600nm程度のシリコン酸化膜45を堆積した後、このシリコン酸化膜45をCMP法で研磨してその表面を平坦化する。シリコン酸化膜45は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0114】このように、本実施の形態では、ビット線BLおよび第1層配線38、39の上部に成膜直後でも

平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積したシリコン酸化膜45をCMP法で平坦化する。これにより、ピット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ピット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現できる。

【0115】次に、シリコン酸化膜45の上部に膜厚100nm程度のシリコン酸化膜46を堆積する。このシリコン酸化膜46は、CMP法で研磨されたときに生じた前記シリコン酸化膜45の表面の微細な傷を補修するために堆積する。シリコン酸化膜46は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0116】次に、シリコン酸化膜46の上部に膜厚50nm程度の窒化チタン膜47を堆積する。窒化チタン膜47は、CVD法あるいはスパッタ法により堆積できる。窒化チタン膜47は、後に説明するルテニウム膜のエッチングの際のストップ膜として機能する。

【0117】次に、フォトレジスト膜をマスクにしたドライエッティングでコンタクトホール29の上部の窒化チタン膜47を除去し、さらに、シリコン酸化膜46、45、SOG膜44およびシリコン酸化膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このシリコン酸化膜物系の被膜エッチングは、シリコン酸化膜46、45、31およびSOG膜44に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール48とピット線BLの合わせそれが生じた場合でも、ピット線BLの上部のシリコン窒化膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がピット線BLに対して自己整合で形成される。

【0118】次に、フォトレジスト膜を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッティング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800°C程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッティング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。

【0119】次に、スルーホール48の内部にプラグ49を形成する。プラグ49は、導電性部材であれば良く、特に材料は限定されない。たとえば多結晶シリコン、金属化合物たとえば窒化チタン膜からなる。プラグ49は、たとえば集積回路基体1の全面へのスルーホール48を埋め込む多結晶シリコン膜の堆積の後、この多結晶シリコン膜をエッチバックすることにより形成できる。

【0120】また、プラグ49の上部にバリアメタル50を形成する。バリアメタル50は、後に説明する情報蓄積容量素子の下部電極とプラグ49との間に形成されることとなり、情報蓄積容量素子の容量絶縁膜の熱処理等、高温熱工程の際の下部電極とプラグ49との反応を抑制する作用を有する。バリアメタル50としてたとえば、チタン、アルミニウムおよびシリコンの合金を用いることができる。バリアメタル50は、たとえば前記合金を集積回路基体1の全面に堆積した後、スルーホール10 48以外の前記合金をエッチバックすることにより形成できる。また、エッチバックに代えてCMP法による研磨を用いることができる。

【0121】次に、図9に示すように、ルテニウム金属からなる柱状の下部電極51、BSTからなる容量絶縁膜53およびルテニウム金属からなる上部電極54を有する情報蓄積容量素子Cを形成する。このように下部電極51としてBSTと親和性の高いルテニウム金属を用いることにより、高誘電体あるいは強誘電体であるBST膜を容量絶縁膜53に用いることができる。また、上部電極54をもルテニウム金属とすることにより、高誘電率のBST膜を絶縁膜としたMIM(Metal Insulator Metal)キャバシタを親和性良く構成できる。これにより1Gb以上DRAMの実現を図ることができる。なお、本願で高誘電体とは、BST等のごとく比誘電率が50以上のものを示す。一般にABO<sub>3</sub>型ペロブスカイトまたはその類似構造ものも多い。また、本願で強誘電体とは、PZT等のごとく比誘電率が少なくとも100以上のものを示す。一般にABO<sub>3</sub>型ペロブスカイトまたはその類似構造(複合構造または層構造を含む)ものが多い。

【0122】柱状の下部電極51の上面には、後に説明するルテニウム膜のエッチングの際のハードマスクの一部であるシリコン酸化膜52が残存している。このようなシリコン酸化膜52を残存させることによるプロセス上のメリットは後述する。一方、シリコン酸化膜52を残存させることにより、下部電極51と容量絶縁膜53との間に誘電率の小さなシリコン酸化膜52が介在することとなり、下部電極51の上面が実質上キャバシタとして作用する場合の実効性が低下することとなる。しかし、下部電極51は、図10(a)の平面図に示すように、ピット線方向(x方向)に長辺を有する長方形形状の平面パターンで形成され、図10(b)の斜視図に示すように、細長い柱状で形成される。本実施の形態の場合の下部電極51の寸法を例示すれば、下部電極51の平面パターンの長辺方向に0.39μm、短辺方向に0.13μm、パターン間隔が0.13μmであり、柱状の下部電極51の高さが0.45μmである。このような数値を前提にすると、キャバシタとして働くべき下部電極51の表面積は、上面部51aの面積(0.13μm×0.39μm=0.0507μm<sup>2</sup>)+側面部51bの面積(0.13

$\mu\text{m} \times 0.45\mu\text{m} \times 2 + 0.39\mu\text{m} \times 0.45\mu\text{m} \times 2 = 0.468\mu\text{m}^2$  ) であり、仮に下部電極51の上面部51aがキャバシタとして寄与しないとしても、下部電極51の側面部51bの面積 ( $0.468\mu\text{m}^2$ ) が全表面積 ( $0.5187\mu\text{m}^2$ ) の約90%を占有するため、全体としての容量値の低下は10%程度に止まる。つまり、情報蓄積容量素子Cの著しい蓄積性能の低下は発生しない。このような容量値の低下は許容できる範囲内のものであり、後に説明するプロセス上のメリットが製造工程の簡略化、信頼性の向上等に寄与することとなって、総合的には本発明を適用することが技術的効果が大きいと言える。

【0123】なお、下部電極51の上面部51aがキャバシタとして寄与している割合は3%以下と考えられる。

【0124】なお、図10(a)の平面パターンにおいては、長方形として描画しているが、実際の下部電極51の形状は、図示するような長方形状で形成されるわけではなく、各稜部が丸みを帯びた形あるいはテーパーを有する形で形成される。すなわち、図10(a)の平面パターンはフォトリソグラフィマスクのパターンであり、露光光の回折現象等によりパターン形状は正確に再現されず、実際には長円あるいは横円に近い形状で形成されることはあるまでもない。

【0125】以下、情報蓄積容量素子Cの形成工程を図11および図12に従って説明する。図11および図12は実施の形態1のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。なお、柱状下部電極51は、前記したとおり長方柱状形状を有するが、図9に示す情報蓄積容量素子Cの断面図は、図10(a)におけるA-A線断面を示している。一方、図11および図12においては、図10(a)におけるB-B線断面について説明する。本発明が適用される微細加工の領域では、図10(a)に示すB-B線断面の方向に下部電極51がパターン幅 $0.13\mu\text{m}$ 、パターン間隔 $0.13\mu\text{m}$ 、パターン高さが $0.45\mu\text{m}$ で形成されることとなる。このような高アスペクト比の下部電極の形成は、下部電極51が異方性エッティングの困難なルテニウム等白金族で形成されることを考慮すれば技術的困難性が極めて高くなる。本発明は、このような技術的困難性の高いエッティングを実現し、精密に形成された加工形状を損なうことなく情報蓄積容量素子Cを簡便に信頼性良く形成する点に意義があり、本発明の特徴を明瞭に説明するためにエッティング困難な方向であるB-B線断面について説明する。また、図11および図12においては、情報蓄積容量素子Cの部分のみを示す。

【0126】前記した図8の工程の後、図11(a)に示すように、窒化チタン膜47上にルテニウム膜55およびシリコン酸化膜56を形成し、シリコン酸化膜56上にパターニングされたフォトレジスト膜57を形成す

る。

【0127】ルテニウム膜55は、たとえばスパッタ法またはCVD法により形成でき、膜厚は $0.45\mu\text{m}$ とする。ルテニウム膜55は、後に下部電極51となるものであり、その膜厚は下部電極51の高さとなる。ルテニウム膜55の膜厚を調整することにより下部電極51の高さを調整できる。なお、ルテニウム膜55に代えて、二酸化ルテニウム膜を用いることができる。

【0128】シリコン酸化膜56は、ルテニウム膜55をエッティングする際のハードマスクとして機能するものであり、その組成および膜厚は、後のエッティング工程で減少することを考慮して決定する。ここでは、シリコン酸化膜56として、TEOS(テトラメトキシシラン)ガスを原料ガスに含むプラズマCVD法により形成されたシリコン酸化膜(以下PTEOS膜という。)を用いた場合を例示する。PTEOS膜の場合、後のエッティング工程により膜厚が減少することを考慮して、その膜厚は $0.3\mu\text{m}$ とする。

【0129】フォトレジスト膜57は、シリコン酸化膜56をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。パターニングは、図10(a)の下部電極51の平面パターンと同じパターンを用いる。すなわち、図11(a)の断面図においては、 $0.13\mu\text{m}$ のラインアンドスペースで形成される。パターンは、プラグ49(バリアメタル50)上に形成し、後に下部電極51がプラグ49(バリアメタル50)に接続されるように形成する。フォトレジスト膜57の膜厚はたとえば $0.3\mu\text{m}$ とする。フォトレジスト膜57は、解像度の向上を考慮してEB(Electron Beam)レジストを用いることも可能である。

【0130】次に、図11(b)に示すように、フォトレジスト膜57をマスクとしてシリコン酸化膜56をパターニングし、ハードマスクとなるシリコン酸化膜52を形成する。シリコン酸化膜56は異方性良くエッティングできるため、シリコン酸化膜52は、再現性良くフォトレジスト膜57のパターンを再現する。従って、シリコン酸化膜52はその底部において $0.13\mu\text{m}$ のラインアンドスペースが確保される。シリコン酸化膜56のエッティングは、たとえば狭電極反応性イオンエッティングを用いることができる。エッティング条件は、たとえば反応圧力を $50\text{ mTorr}$ 、投入電力を上下電極に各々 $1\text{ kW}$ 、エッティングガスを四炭化ハフ素( $\text{C}_4\text{F}_8$ )、アルゴンおよび酸素( $\text{O}_2$ )を各々 $12\text{ sccm}$ 、 $400\text{ sccm}$ および $5\text{ sccm}$ 、基板温度を $0^\circ\text{C}$ とすることができる。このようなエッティング条件では、PTEOS膜のエッティングレートは約 $300\text{ nm}/\text{min}$ でありフォトレジスト膜57に対する選択比は約3である。このため、シリコン酸化膜56のエッティング完了時には約 $100\text{ nm}$ の膜厚のフォトレジスト膜57がシリコン酸化膜52の上部に残存する。

【0131】次に、図11(c)に示すように、フォトレジスト膜57を除去する。フォトレジスト膜57の除去にはたとえば酸素プラズマを用いたアッシングにより行える。これにより、パターニングされたシリコン酸化膜52が形成され、次工程におけるルテニウム膜55のエッチングの際のエッチングマスクに用いることができる。後に説明するように、ルテニウム膜55のエッチングガスに酸素系ガスを用いるため、マスクとして耐酸化性のマスクが必要であり、シリコン酸化膜52からなるマスクはこの要求を満足する。

【0132】次に、図11(d)に示すように、シリコン酸化膜52をマスクとしてルテニウム膜55をエッチングすることにより下部電極51を形成する。このルテニウム膜55のエッチングは、以下のエッチング方法を用いてエッチングすることができる。

【0133】図13は、ルテニウム膜55のエッチングに使用するエッチング装置の一例を示した断面概念図である。このエッチング装置は、その内容積が約33.3リットルの反応室101と、反応室101の排気口に接続された真空配管102と、真空配管102の途中に配置されたコントロールバルブCVと、真空配管102の他方に接続されたターボ分子ポンプTMPと、ターボ分子ポンプTMPの排気口側に設けられた荒引きバルブRVを介して接続されたメカニカルブースターポンプ(容積型荒引き用ドライポンプ)MBPとからなるオイルフリーな排気系を有する。反応室101は、減圧状態に維持できるだけの機械的強度を有し、前記した排気系により内部を高真空状態にすることができる。また、後に説明するガス供給系からの供給される処理ガス(エッチングガス)を排気系により排氣する際に、コントロールバルブCVによるコンダクタンスの調整により反応室101内部の圧力を所望の値に調整することができる。

【0134】なお、反応室101の真空引きを大気圧から低真空度領域まで行う荒引き真空系を設けても良いが、図示は省略している。また、荒引き排気系はメカニカルブースターポンプMBPに代えてターボ型ドライポンプ、油回転ポンプ等を用いてもよい。

【0135】また、本エッチング装置は、マスフローコントローラMFC1を介して塩素ガス(Cl<sub>2</sub>)が、マスフローコントローラMFC2を介して酸素ガス(O<sub>2</sub>)が、反応室101に導入されるガス供給系を有している。なお、各マスフローコントローラの出入力側あるいは反応室101のガス導入部の直前等に適当なバルブ(トップバルブ)を挿入できるが、図示は省略している。また、ガス供給系には適当なバージ系を設けることができるが、これも図示は省略している。また、塩素ガスと酸素ガスとの混合部分にマニホールドを設けることもできるが図示は省略している。さらに、他のガス系、たとえばシリコン酸化膜のエッチング用のフッ素系ガスの供給系、レジストアッシング用のガス系を設けて

もよい。

【0136】反応室101内には、試料台103が設置されている。図示するように、半導体基板(半導体集積回路装置製造用ウェハ)1は試料台103上にフェイスアップで設置される。集積回路基体1は、たとえば6インチ径のシリコンウェハであり、たとえば静電チャックにより保持される。図示するように、本エッチング装置は、反応室101に1枚のウェハが導入される1枚葉エッチング装置である。また、図示するように、ガス供給ノズル110からガスが供給される。また、試料台103は、反応室101から電気的にアイソレーションされ、バイアス用の高周波電力RF2が印加できるようになっている。これにより集積回路基体1に高周波バイアスを印加することが可能となる。

【0137】反応室101の上部は石英筒104で真空封止され、石英筒104の周囲には誘導結合コイル105が配置されている。誘導結合コイル105には、たとえば13.56MHzの高周波電源RF1が接続されている。高周波電源RF1の電力は、誘導結合コイル105を介した誘導結合により石英筒104および反応室101内にプラズマを発生する。このように誘導結合プラズマを用いて低動作圧力(高真空度領域)において高い密度のプラズマを発生する。ただし、本装置は、誘導結合プラズマに限られるものではなく、低圧力でのプラズマ発生機構であればこれを適用することが可能である。たとえば、ECR(Electron Cyclotron Resonance)プラズマ、ICP(Inductively Coupled Plasma)、マグネットロンRIEプラズマ、ヘリコン波プラズマ等を用いてもよい。

【0138】本エッチング装置の概要は前記の通りであるが、ルテニウム膜55を異方性良くエッチングする際に特徴的な装置特性を次に説明する。すなわち、ルテニウム膜55を異方性良くエッチングするには大流量のエッチングガスが供給され、これが高速で排氣される。また、通常行われるよりの大きなオーバーエッチングが行われる。オーバーエッチングの概念については後述する。

【0139】本エッチング装置では、酸素と塩素の各ガスのトータルガス流量の供給能力が2000sccmという大流量を可能とし、一方、このような大流量のガスを供給しても十分に低い動作圧力(たとえば15mTorr)を得るために、ターボ分子ポンプTMPとして最大排気能力が2000リットル/秒のものを用いている。なお、ターボ分子ポンプTMPの最大排気能力(圧縮比)を確保するためにその背圧を十分に低くできるだけの荒引き系の排気能力(荒引きバルブRVおよび配管のコンダクタンスを含めたメカニカルブースターポンプMBPの排気速度)が確保されていることはいうまでもない。

50 【0140】このように、排気速度が2000リットル

ノ秒のターボ分子ポンプTMPを用いて排気系を構成したことにより、たとえば酸素と塩素とのトータルガス流量が約800 sccmのときに、実効排気速度として約600リットル/秒が られる。なお、排気系の実効排気速度とは、真空配管102、コントロールバルブCVのコンダクタンス、ターボ分子ポンプTMP、荒引き排気系（メカニカルブースターポンプMBP、荒引きバルブRVおよび配管）を含めた排気系全体の排気速度をいう。

【0141】次に、前記したエッティング装置を用いて、ルテニウム膜55をエッティング方法について説明する。

【0142】反応室101内にマスフローコントローラMFC1, 2を調整して塩素および酸素を各々80 sccmおよび720 sccmの流量で供給する。そして、コントロールバルブCVを調整して15 mTorrの圧力に調整する。さらに、誘導結合コイル105および基板に高周波電源RF1, 2から各々500Wおよび200Wの高周波電力を印加してプラズマを生成させる。このプラズマで生成した主に酸素イオンまたは酸素ラジカルとルテニウム膜55との反応によりエッティングを行う。

【0143】また、このような条件で100%のオーバーエッティングを行う。ここで本明細書におけるオーバーエッティングの概念を図14を用いて説明する。図14は、たとえばチタンを含む下地膜（たとえば窒化チタン膜（TiN膜））上のルテニウム膜をエッティングした場合のプラズマ発光強度を処理時間についてプロットしたグラフである。プラズマ発光は、たとえばチタンの発光ピークである波長が406 nmの光をモニタできる。時刻t=0でエッティングを開始する。Ru膜がエッティングされている途中（時刻t=0~T1）では、未だTiN膜は露出していないので406 nm光の発光強度は低いレベルで維持される。時刻t=T1に達すると、エッティングレートの相対的に速いウェハセンタの部分でRuO<sub>2</sub>/Ru膜のエッティングが終了し、下地のTiN膜が露出はじめる。この結果、406 nm光の発光強度が上昇はじめ、時間の経過すなわち下地のTiN膜の露出面積の増加に従い、406 nm光の発光強度が上昇する。時刻t=T2に達すると、エッティングレートの相対的に遅いウェハセンタの部分でもRu膜のエッティングが終了し、下地TiN膜の全面が露出する。この結果、406 nm光の発光強度は高いレベルでほぼ一定に維持される。この時刻t=T2をジャストエッティング時刻と定義し、t=0~T2の時間をメインエッティング時間と定義する。さらにエッティングを継続し、時刻t=T3でエッティングを終了する。t=T2~T3の時間をオーバーエッティング時間と定義する。したがって、オーバーエッティングは、(T3-T2)/(T2-0) × 100 (%)と定義できる。なお、処理圧力が15 mTorrの場合を例示しているが、処理圧力はプラズマが安定に

生成する圧力であれば良く、100 mTorrから0.1 mTorrの範囲、さらに好ましくは30 mTorrから1 mTorrの範囲で選択できる。

【0144】ルテニウム膜55は、側壁付着性の部材であり、白金族等であるため、エッティング過程において反応生成物がエッティング側壁に付着し、エッティングの異方性を阻害してテーパ形状を呈する。しかし、前記のような条件でエッティングを行うことによりルテニウム膜55をエッティングした下部電極51の断面形状はほぼ垂直

10 （テーパ角が89度）で形成できる。なお、側壁付着性の部材とは、ドライエッティング時に生成物の蒸気圧が低いために側壁に付着する傾向が強く、微細なエッティングが困難とされるものをいい、主に、白金族元素それらを含む酸化物または副酸化物（白金族等）、ペロブスカイト等のABO<sub>3</sub>型遷移金属酸化物等をいう。ここで、白金族元素またはその酸化物というときには、白金族元素およびそれらを含む酸化物、白金元素およびそれらの構成元素を含む酸化物ならびにそれらの構成元素の複数の元素を含むまたは他の族と白金族元素を含む複酸化物、それらの固溶体等を含む概念である。

【0145】このようにエッティング特性が改善されるのは、第1にエッティングガスが大流量で供給されるため、生成された反応生成物（主にRuO<sub>4</sub>、RuO<sub>x</sub>）が高速で排気されるためである。白金族元素のエッティングでは、蒸気圧の低い反応生成物（特にRuO<sub>x</sub>）が形成されるため、側壁付着しやすく、この付着物がエッティング形状を阻害するが、高速排気されれば側壁付着する確率が低下し、エッティング形状が改善される。なお、オーバーエッティングが20%程度であっても、高速排気するだけでエッティング形状のテーパ角は84度程度に改善される。

【0146】また、エッティング特性が改善されるのは、第2にオーバーエッティングを100%行うためである。つまり、ルテニウム膜55のエッティングはあるテーパ角をもって終了しているため、オーバーエッティングの状況下では、下地材料である窒化チタン膜47が露出している。この窒化チタン膜は酸素イオンあるいは酸素ラジカルによりエッティングされることがないため、エッティング底面からの反応生成物は発生せず、側壁への反応生成物の飛来はない。側壁部においては酸素イオンあるいは酸素ラジカルによるエッティングと側壁部で発生した反応生成物の再付着との競合が生じているが、前記したエッティング状況下のように底部からの反応生成物の飛来が無い分だけ反応生成物の飛来が減少し、エッティングが勝ることとなる。このため、オーバーエッティング時の側壁付着物は極めて少なくなり、これがテーパ角上昇の原因となる。

【0147】このように、前記条件下、すなわち、反応圧力15 mTorr、プラズマソースパワー500W、RFバイアスパワー200W、酸素および塩素流用720 sccmおよび80 sccm（総流量約800 sccm

m) の条件下で、オーバーエッティング量を100%とすることにより、エッティング異方性をテーべ角で表して89度に向上することができる。

【0148】このようにルテニウム膜55をテーべ角89度でエッティングできることは、ルテニウム等の白金族元素系の金属あるいはその酸化物の垂直形状のエッティングが原理的に困難である、すなわち、反応生成物の蒸気圧が低く、側壁付着性の高い反応性生成物が生じるエッティング系であることを考慮すれば、極めて顕著な効果であり、1GビットDRAM級の微細加工を可能ならしめるものである。

【0149】また、このようなエッティング方法を用いることにより、パターン幅およびスペースが $0.1\text{ }\mu\text{m}$ という微細なパターン形状において、しかもパターン高さが $0.45\text{ }\mu\text{m}$ （アスペクト比約3.5、すなわちアスペクト比2あるいは3以上の高アスペクト領域）というエッティング加工においては極めて厳しい状況下で、テーべ角が89度という理想的な柱状パターン（内部の詰まつたものの他、シリンドー様のものも含む）の形成が実現できる。なお、本願で柱状パターンというときは、円柱や正角柱に限らず、錐状や縦横の長さが異なるもの等を含む。

【0150】これは、また、エッティングの微細加工マージンが大きいことを示しており、リソグラフィの限界が伸びて、更に微細なマスクの形成が可能となった場合には、本技術を用いて十分に微細な加工（パターン幅およびスペースが $0.1\text{ }\mu\text{m}$ 以下の微細パターンの加工）が可能であることを意味する。

【0151】なお、前記のエッティング条件では、ルテニウム膜55に対するシリコン酸化膜52（PTEOS膜）のエッティング選択比は約10である。従って、 $0.45\text{ }\mu\text{m}$ のルテニウム膜55のエッティングにおいてハードマスクであるシリコン酸化膜52は $45\text{ nm}$ 程度その膜厚が減少することとなるが、大きなオーバーエッティング（100%）を施しているため、シリコン酸化膜52のファセットが大きくなり、エッティング後のシリコン酸化膜52は図11(d)に示すような錐形状となる。その高さは図示の通り約 $100\text{ nm}$ である。

【0152】また、このルテニウム膜55のエッティングではフォトレジスト膜をマスクとしては用いず、シリコン酸化膜をハードマスクに用いる。これは、フォトレジスト膜よりもシリコン酸化膜の方がルテニウムとのエッティング選択比を大きくすることができるとともに、フォトレジスト膜からの有機物の離脱による側壁付着の生成を防止してエッティング形状を改善できるという効果を有する。

【0153】次に、図11(e)に示すように、シリコン酸化膜52をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッティングする。窒化チタン膜47のエッティングは、たとえばECR (Electron Cyclo-

tron Resonance) プラズマを用いて行うことができる。

エッティング条件は、たとえば処理圧力を $8\text{ mTorr}$ 、μ波電力を $300\text{ W}$ 、周波数 $800\text{ kHz}$ のRFバイアス電力を $70\text{ W}$ 、エッティングガスを三塩化ボロン（BCl<sub>3</sub>）および塩素（Cl<sub>2</sub>）を各々 $30\text{ sccm}$ および $70\text{ sccm}$ 、基板温度を $50^\circ\text{C}$ とすることができる。窒化チタン膜47のエッティング処理によりシリコン酸化膜52（マスク）も一部削れ、その膜厚が図示のように減少する。なお、シリコン酸化膜52の稼働部は前記のような工程で削られるため丸みを帯びる。このような丸みを有しているため、次工程のBST膜58の堆積が被覆性よく行えるというメリットがある。

【0154】次に、図11(f)に示すように、シリコン酸化膜52を除去することなくBST膜58を堆積する。BST膜58はCVD法により堆積でき、その膜厚は $20\text{ nm}$ とする。BST膜58はCVD法により形成されるため、本実施の形態のような微細加工され、アスペクト比が高い下部電極51上にも均一に膜形成を行うことができる。なお、BST膜58に代えて他の高誘電体膜、たとえば酸化タンタル膜、PZT、PLZT等を用いてもよい。

【0155】このようにシリコン酸化膜52を除去することなくBST膜58を堆積するため、シリコン酸化膜52の除去処理に伴う下部電極51の形状の変化、一般に下部電極51パターンの細り、下部電極51の稼働部の丸まり等の微細加工にとって好ましくない形状変化を防止することができる。可能な限り微細に加工した後に生じるパターンの形状変化は、微細に加工したが故にその影響が大きく、せっかく微細に加工できてもその後に形状が変化してしまうは微細加工を行った意義が半減し好ましくない。そこで、本発明では加工形状を阻害するシリコン酸化膜52の除去処理を省略し、最も精密に加工された下部電極51の状態を維持するものである。

【0156】また、シリコン酸化膜52を除去しないことにより、シリコン酸化膜52の除去処理工程で発生するであろう下部電極51表面の荒れを防止できる。シリコン酸化膜52を除去すれば、シリコン酸化膜52のエッティング処理に伴い、下部電極51の表面に荒れが発生する。このような荒れ（粗面化）は、BST膜58の接着性を低下し、情報蓄積容量素子Cの信頼性を低下させる要因となり、著しい場合にはBST膜58の剥離をしてDRAMの歩留まりを低下させる恐れもある。そこで、本発明ではこのような荒れの発生を未然に防止するためにシリコン酸化膜52を残存させるものである。

【0157】さらに、シリコン酸化膜52の除去工程を省略することにより、シリコン酸化膜52の除去工程自体がなくなり、DRAMの製造工程が簡略化されるばかりでなく、エッティング処理（シリコン酸化膜52の除去工程）の後の洗浄工程等除去工程に付随する処理工程を50も省略してDRAM製造工程を簡略化することができ

る。

【0158】下部電極51の上部にシリコン酸化膜52を残存させることにより前記のような工程上あるいはDRAMの性能上のメリットがある。一方、前記したとおりシリコン酸化膜52を残存させることによるデメリットは存在するが、本実施の形態のような寸法で微細加工される下部電極51に適用する限り、そのデメリットはさほど支配的で無いことは前記した通りである。

【0159】次に、図11(g)に示すように、BST膜58を酸素雰囲気で熱処理(アニール)を行なう。熱処理温度は約700°Cである。この熱処理によりBST膜58の酸素欠陥をなくすことができる。700°Cという温度条件は、酸素雰囲気における熱処理により下部電極51およびその上面の残留物が膨張等体積変化をしないという要件から選択される。シリコン酸化膜52は700°Cの酸素雰囲気熱処理で体積膨張するところがなく、前記要件を満足する。

【0160】次に、図11(h)に示すように、BST膜58上にルテニウム膜59を堆積し、図12(i)に示すようにルテニウム膜59上にフォトレジスト膜60を形成する。フォトレジスト膜60はDRAMのメモリセル領域を覆うように形成する。次に、図12(j)に示すようにこのフォトレジスト膜60をマスクとしてルテニウム膜59およびBST膜58をエッチングし、容量絶縁膜53および上部電極54を形成する。その後、フォトレジスト膜60をアッショング等により除去し、ルテニウムからなる下部電極51、BSTからなる容量絶縁膜53およびルテニウムからなる上部電極54を有する情報蓄積容量素子Cを完成する(図12(k))。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0161】ルテニウム膜59の堆積にはたとえばスパッタ法またはCVD法を用いることができる。また、ルテニウム膜59およびBST膜58のエッチングには、前記した図13に示すエッチング装置を用いることができる。エッチング条件は、たとえば反応圧力2mTorr、プラズマソースパワー300W、RFバイアスパワー600W、四フッ化炭素(CF<sub>4</sub>)およびアルゴン(Ar)を各々10sccmおよび40sccmで、オーバーエッチング量を10%とすることができる。このような条件では、エッチング形状は異方性を発揮せず、テーべ角は約60度となるが、ここでは微細加工を要求されるわけではないので不都合はない。

【0162】なお、上部電極54上には、適当なバリアメタルを形成してもよい。また、上部電極54を構成する材料としては、二酸化ルテニウム膜に代えて、窒化チタン膜、ルテニウム膜、あるいはタンクステン膜を用いることができる。

【0163】次に、図15に示すように、情報蓄積容量

(20) 特開2000-223671 (P2000-223671A)

38

素子Cの上部にSOGからなるシリコン酸化膜61を形成する。シリコン酸化膜61にSOG膜を用いた場合にはメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和することができる。なお、情報蓄積容量素子Cの上部とシリコン酸化膜61との間に膜厚40nm程度のたとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜を形成しても良い。

10 【0164】次に、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第1層配線38の上部のシリコン酸化膜61、46、45、SOG膜44およびシリコン窒化膜40を除去することにより、スルーホール62を形成する。また、同様に上部電極54の上部のシリコン酸化膜61を除去することにより、スルーホール63を形成する。その後、スルーホール62、63の内部にプラグ64を形成し、続いてシリコン酸化膜61の上部に第2層配線65を形成する。プラグ64は、シリコン酸化膜61の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール62、63の内部に残すことにより形成する。第2層配線65は、シリコン酸化膜61の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

30 【0165】その後、層間絶縁膜を介して第3層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0166】なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSOG膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜は、たとえばオゾン(O<sub>3</sub>)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積できる。

40 【0167】本実施の形態によれば、下部電極51の材料としてBSTのような強誘電性の容量絶縁膜53に親和性のよいルテニウムを用い、この下部電極51のエッチングの際にハードマスクであるシリコン酸化膜52を残存させ、シリコン酸化膜52を残存させた状態で容量絶縁膜53を形成する。これにより、シリコン酸化膜52の除去工程を省略して工程を簡略化することができ、また、除去工程で発生するであろう下部電極51上面の荒れ、あるいは、下地の荒れを防ぎ、容量絶縁膜53を

信頼性良く形成することができる。さらに、シリコン酸化膜52の除去工程で生じるであろう下部電極51のパターンの鈍りあるいは細りを防止して、微細に加工形成されたル下部電極51の形状を保持することができる。

【0168】なお、本実施の形態では、下部電極51がルテニウム膜の場合を説明したが、二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることもできる。

【0169】また、本実施の形態では、ルテニウム膜55のエッティングストップとして窒化チタン膜47を用いたが、窒化チタン膜47に代えてシリコン窒化膜を用いることができる。すなわち、シリコン窒化膜も窒化チタン膜47と同様に酸素ラジカルを主体とするエッティング作用に対して大きなエッティング選択比を有するため、本実施の形態のエッティングストップに用いることができる。この場合、シリコン窒化膜は不導体であるため、ルテニウム膜55のエッティング後つまり下部電極51の形成後にエッティングして除去する必要がなく、前記図11(e)の工程は必要なくなる。この場合には、図11(d)の工程の後のB-S-T膜58を形成すればよい。従って、工程を簡略化できる。ただし、下部電極51上には比較的厚いシリコン酸化膜52が残存する。しかし、このようなシリコン酸化膜52が情報蓄積容量素子Cの性能を阻害するものではないことは前記した通りである。

【0170】(実施の形態2) 本実施の形態2のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0171】図16は、実施の形態2のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図16は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0172】実施の形態1の図8の工程の後、図16(a)に示すように、窒化チタン膜47上にルテニウム膜55および白金膜66を形成し、白金膜66上にパターニングされたフォトレジスト膜67を形成する。

【0173】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。白金膜66は、ルテニウム膜55をエッティングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッティング工程で減少することを考慮して0.1μmとする。

【0174】フォトレジスト膜67は、白金膜66をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜67のパターニングは、実施の形態1の場合と相違し、白金

膜66のエッティングの際の側壁部着物による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を0.1μmとして形成する。また、パターン間隔は190nmとする。フォトレジスト膜67の膜厚は、白金膜66のエッティングの際の減少分を考慮して300nmとする。フォトレジスト膜67にE-B(Electron Beam)レジストを用いることができるることは実施の形態1と同様である。なお、フォトレジスト膜67は、その上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。このようにフォトレジスト膜67をラウンドレジストで形成することにより白金のエッティングの際の側壁付着物を低減して異方性よく白金をエッティングすることができる。

【0175】次に、図16(b)に示すように、フォトレジスト膜67をマスクとして白金膜66をパターニングし、白金からなるハードマスク68を形成する。白金膜66のエッティングには、たとえばマグネットロン反応性イオンエッティングを用いることができる。エッティング条件は、たとえば反応圧力を5mTorr、RF電力を2kW、エッティングガスをアルゴン15sccm、基板温度を30°Cとすることができる。すなわちスパッタリングで白金膜をエッティングする。このようなエッティング条件では、白金のエッティングレートは約150nm/minでありフォトレジスト膜67に対する選択比は約1である。このため、白金膜66のエッティング完了時には約200nmの膜厚のフォトレジスト膜67がハードマスク68の上部に残存する。また、フォトレジスト膜67およびハードマスク68の側壁には側壁付着物69が形成される。側壁付着物69は、白金エッティングの際に生成する反応生成物の蒸気圧が低いため、再付着により形成されるものであり、容易に形成できる。本実施の形態では、この側壁付着物69を次工程のルテニウム膜55のエッティングマスクに積極的に利用するものである。側壁付着物69が形成されることにより、ハードマスク68とともにマスクとして作用する領域が広がり、その領域の底部でルテニウム膜55のパターニング寸法として意図する0.13μmになるようにする。これにより0.13μm幅の下部電極パターンが形成される。

【0176】次に、図16(c)に示すように、フォトレジスト膜67を除去する。フォトレジスト膜67の除去は実施の形態1と同様である。

【0177】次に、図16(d)に示すように、ハードマスク68および側壁付着物69をマスクとしてルテニウム膜55をエッティングすることにより下部電極51を形成する。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。なお、ルテニウム膜55のエッティングに際して、ハードマスク68の稜部および側壁付着物69の突出部がエッティング

されて丸みを帯びる。

【0178】次に、図16(e)に示すように、ハードマスク68および側壁付着物69をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッティングする。窒化チタン膜47のエッティングは、実施の形態1と同様である。窒化チタン膜47のエッティング処理によりハードマスク68および側壁付着物69も一部削れ、その膜厚が図示するように減少する。なお、ハードマスク68および側壁付着物69の稜部は前記のような工程で削られるためさらに丸みを帯びる。このような丸みを有しているため、次工程のB-S-T膜58の堆積が被覆性よく行えるというメリットがある。

【0179】次に、図16(f)に示すように、ハードマスク68および側壁付着物69を除去することなくB-S-T膜58を堆積する。B-S-T膜58は実施の形態1と同様に形成できる。このようにハードマスク68および側壁付着物69を除去することなくB-S-T膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。なお、下部電極51の表面に残存するハードマスク68は白金で構成されるため、耐熱性に優れ、B-S-T膜58の酸化雰囲気における熱処理によつても体積増加が発生しないばかりか変質も起こらない。

【0180】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク68が導電体である白金からなるため、ハードマスク68も下部電極51の一部として機能させることができ、ハードマスク68の上部に相当する面積分だけ下部電極面積を増加できる。これにより、情報蓄積容量素子Cの蓄積容量を増加してDRAMの性能向上を図ることができる。なお、側壁付着物69は一般に導電体ではなく、側壁付着物69がB-S-T膜58と接する部分はキャパシタとして機能することは期待できないが、このような場合であっても、実施の形態1で説明したように、その不利益の影響は余り大きくな。

【0181】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜47をシリコン窒化膜に代えることは実施の形態1と同様である。

【0182】(実施の形態3) 本実施の形態3のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0183】図17は、実施の形態3のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図17は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAM

の情報蓄積容量素子Cの領域のみを示している。

【0184】実施の形態1の図8の工程の後、図17(a)に示すように、窒化チタン膜47上にルテニウム膜55および白金膜66を形成し、白金膜66上にパターニングされたフォトレジスト膜70を形成する。

【0185】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。白金膜66は、ルテニウム膜55をエッティングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッティング工程で減少することを考慮して0.1μmとする。

【0186】フォトレジスト膜70は、白金膜66をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態1の場合と相違し、白金膜66のエッティングの際のテーパ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を0.08μmとして形成する。また、パターン間隔は260nmとする。

20 フォトレジスト膜70の膜厚は、白金膜66のエッティングの際の減少分を考慮して300nmとする。フォトレジスト膜70にEB(Electron Beam)レジストを用いることができるることは実施の形態1と同様である。なお、フォトレジスト膜70は、実施の形態2と同様にその上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。

【0187】次に、図17(b)に示すように、フォトレジスト膜70をマスクとして白金膜66をパターニングし、白金からなるハードマスク68を形成する。白金膜66のエッティングには、実施の形態2と同様にマグнетロン反応性イオンエッティングを用いることができるが、エッティングの条件が相違する。すなわちエッティング条件は、たとえば反応圧力を1mTorr、RF電力を2kW、エッティングガスを塩素(Cl<sub>2</sub>)15sccm、基板温度を30°Cとする。すなわち実施の形態2ではスパッタリングで白金膜をエッティングしたが、実施の形態3では塩素ラジカルによる化学的な作用により白金膜66をエッティングする。このようなエッティング条件では、白金のエッティングレートは約150nm/minでありフォトレジスト膜70に対する選択比は約0.5となる。すなわち、フォトレジスト膜70は大量に削られ、エッティング終了時にはパターニングされた白金膜66

40 (ハードマスク68)に僅かに残存する程度までその膜厚が減少する。しかし、パターニングされたハードマスク68の側壁には、側壁付着物が形成されない。これは塩素ラジカルによって側壁付着物が削りとられたためである。ただし、白金膜66の異方性は悪く、テーパ角が約75度となる。このためハードマスク68の底部が当初のフォトレジスト膜70のパターン幅より太り、エッティング終了時にハードマスク68底部の幅が0.13μm

となる。これにより0.13μm幅の下部電極パターンが形成される。

【0188】次に、図17(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0189】次に、図17(d)に示すように、ハードマスク68をマスクとしてルテニウム膜55をエッチングすることにより下部電極51を形成する。ルテニウム膜55のエッチングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。なお、ルテニウム膜55のエッチングに際して、ハードマスク68も一部エッチングされその膜厚が70nmまで減少する。

【0190】次に、図17(e)に示すように、ハードマスク68をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッチングする。窒化チタン膜47のエッチングは、実施の形態1と同様である。窒化チタン膜47のエッチング処理によりハードマスク68も一部削れ、その膜厚が図示するように減少する。なお、ハードマスク68の稜部は前記のような工程で削られるためさらに丸みを帯びる。このような丸みを有しているため、次工程のBST膜58の堆積が被覆性よく行えるというメリットがある。

【0191】次に、図17(f)に示すように、ハードマスク68を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク68を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。なお、下部電極51の表面に残存するハードマスク68は白金で構成されるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらないことは実施の形態2と同様である。

【0192】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク68が導電体である白金からなるためハードマスク68も下部電極51の一部として機能し、また、ハードマスク68の側面に側壁付着物が形成されないため、BST膜58と接するハードマスク68の全領域をキャパシタとして機能させることができる。すなわち、ハードマスク68の上面だけでなく、ハードマスク68の側面をもキャパシタとして機能させることができ。これにより、下部電極51およびハードマスク68表面の全表面積がキャパシタに寄与し、情報蓄積容量素子Cの蓄積容量を実施の形態2に比較してさらに増加しDRAMの性能向上を図ることができる。つまり、実施の形態1で説明したようなハードマスク68を残存させることによる効果が得られるにもかかわらず、ハードマスク68を残存させることによる不利益が存在しない。

【0193】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜47をシリコン窒化膜に代えることができることは実施の形態1と同様である。

【0194】(実施の形態4) 本実施の形態4のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0195】図18は、実施の形態4のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図18は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0196】実施の形態1の図8の工程の後、図18(a)に示すように、窒化チタン膜47上にルテニウム膜55、白金膜66およびシリコン酸化膜71を形成し、シリコン酸化膜71上にパターニングされたフォトレジスト膜70を形成する。

【0197】ルテニウム膜55、白金膜66については、実施の形態3と同様であるため詳細な説明は省略する。また、シリコン酸化膜71は、実施の形態1のシリコン酸化膜56と同様である。白金膜66はルテニウム膜55をエッチングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッチング工程で減少することを考慮して0.1μmとする。また、シリコン酸化膜56は白金膜66をエッチングする際のハードマスクとして機能するものであり、その膜厚は後のエッチング工程で減少することを考慮して0.3μmとする。

【0198】フォトレジスト膜70は、シリコン酸化膜71をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態3の場合と同様に、白金膜66のエッチングの際のテーパ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形成する。しかし、本実施の形態では白金膜66のエッチングを実施の形態3よりも異方性よく形成するため、パターン幅を若干大きくし0.1μmとして形成する。また、パターン間隔は190nmとする。フォトレジスト膜70の膜厚は、シリコン酸化膜71のエッチングの際の減少分を考慮して300nmとする。フォトレジスト膜70にEB(Electron Beam)レジストを用いることができるることは実施の形態1~3と同様である。

【0199】次に、図18(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜71をエッチングし、白金膜66をパターニングするためのハードマスク72を形成する。シリコン酸化膜は異方性よく

形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク72の底部においてもパターン幅100nm、パターン間隔190nmで形成される。

【0200】次に、図18(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0201】次に、図18(d)に示すように、シリコン酸化膜からなるハードマスク72をマスクとして白金膜66をバーニングし、白金からなるハードマスク68を形成する。白金膜66のエッティングには、実施の形態2、3と同様にマグネットロン反応性イオンエッティングを用いることができるが、エッティングの条件が相違する。すなわちエッティング条件は、たとえば反応圧力を5mTorr、RF電力を1.2kW、エッティングガスを酸素(O<sub>2</sub>)および塩素(Cl<sub>2</sub>)を各々80sccmおよび20sccm、オーバーエッティングを100%、基板温度を160°Cとする。すなわち実施の形態2ではスパッタリングで白金膜をエッティングし、実施の形態3では塩素ラジカルによる化学的エッティングを行ったが、実施の形態4では酸素ラジカルによる化学的作用により白金膜66を基板温度160°Cという高温状態でエッティングする。このようなエッティング条件では、白金のエッティングレートは約150nm/minでありシリコン酸化膜からなるハードマスク72に対する選択比は約1となる。このような条件では、ハードマスク68の側壁には側壁付着物が形成されず、また、白金エッティングの異方性は実施の形態3よりも改善されてハードマスク68のテーパ角は約85度となる。このため、ハードマスク68の底部が当初のハードマスク72のパターン幅より太り、エッティング終了時にハードマスク68底部の幅が0.13μmとなる。これにより0.13μm幅のラインアンドスペースパターンが形成される。このように白金膜66のエッティング特性が改善されるため、エッティング工程のマージンが増加し、また、より高集積に対応が可能な微細加工を行うことができる。

【0202】次に、図18(e)に示すように、ハードマスク68をマスクとしてルテニウム膜55をエッティングすることにより下部電極51を形成する。なお、この段階でハードマスク72も一部が削られ、その膜厚が減少する。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。

【0203】次に、図18(f)に示すように、ハードマスク68をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッティングする。この段階でハードマスク72が削られ、ほぼ消滅する。窒化チタン膜47のエッティングは、実施の形態1と同様である。窒化チタン膜47のエッティング処理によりハードマスク68も一部削れ、その膜厚が図示するように減少する。

【0204】次に、図18(g)に示すように、ハードマスク68を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク68を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。なお、下部電極51の表面に残存するハードマスク68は白金で構成されるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらないことは実施の形態2と同様である。

【0205】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク68が導電体である白金からなるためハードマスク68も下部電極51の一部として機能し、また、ハードマスク68の側面に側壁付着物が形成されないため、BST膜58と接するハードマスク68の全領域をキャバシタとして機能させることができる。すなわち、ハードマスク68の上面だけでなく、ハードマスク68の側面をもキャバシタとして機能させることができ。これにより、下部電極51およびハードマスク68表面の全表面積がキャバシタに寄与し、情報蓄積容量素子Cの蓄積容量を実施の形態2に比較してさらに増加しDRAMの性能向上を図ることができる。さらに、本実施の形態では最初のバーニングを行うフォトレジスト膜70を実施の形態3よりも幅広に形成できるため、フォトリソグラフィマージンを増加できる。逆にいえば、本実施の形態の方が微細加工性に優れている。

【0206】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができると、窒化チタン膜47をシリコン窒化膜に代えることができることは実施の形態1と同様である。

【0207】(実施の形態5) 本実施の形態5のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0208】図19は、実施の形態5のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図19は、図11および図12と同様に、図10(a)におけるB-B'線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0209】実施の形態1の図8の工程の後、図19(a)に示すように、窒化チタン膜47上にルテニウム膜55およびBST膜73を形成し、BST膜73上にバーニングされたフォトレジスト膜70を形成する。

【0210】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。BST膜7

3は、ルテニウム膜55をエッティングする際のハードマスクとして機能し、また容量絶縁膜の一部として機能するものである。その膜厚は後のエッティング工程で減少することを考慮して $0.1\mu m$ とする。

【0211】フォトレジスト膜70は、BST膜73をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態2の場合と同様に、BST膜73のエッティングの際のテープ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を $0.1\mu m$ として形成する。また、パターン間隔は $190nm$ とする。フォトレジスト膜70の膜厚は、BST膜73のエッティングの際の減少分を考慮して $300nm$ とする。フォトレジスト膜70にEB(Electron Beam)レジストを用いることができることは実施の形態1と同様である。なお、フォトレジスト膜70は、実施の形態2と同様にその上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。

【0212】次に、図19(b)に示すように、フォトレジスト膜70をマスクとしてBST膜73をパターニングし、BSTからなるハードマスク74を形成する。BST膜73のエッティングには、実施の形態3と同様に行う。すなわちエッティング条件は、たとえば反応圧力を $1mTorr$ 、RF電力を $2kW$ 、エッティングガスを塩素( $C1_2$ ) $15sccm$ 、基板温度を $30^\circ C$ とする。このようなエッティング条件では、BST膜73のエッティングレートは約 $150nm/min$ でありフォトレジスト膜70に対する選択比は約1となる。エッティング終了時にはパターニングされたBST膜73(ハードマスク74)のテープ角は $70^\circ$ 度から $80^\circ$ 度となり、ハードマスク74の底部が当初のフォトレジスト膜70のパターン幅より太り、エッティング終了時にハードマスク74底部の幅が $0.13\mu m$ となる。これにより $0.13\mu m$ 幅のラインアンドスペースパターンが形成される。

【0213】次に、図19(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0214】次に、図19(d)に示すように、ハードマスク74をマスクとしてルテニウム膜55をエッティングすることにより下部電極51を形成する。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテープ角 $89^\circ$ 度でほぼ垂直に形成される。なお、ルテニウム膜55のエッティングに際して、ハードマスク74も一部エッティングされる。

【0215】次に、図19(e)に示すように、ハードマスク74をマスクとして窒化チタン膜47をエッティングする。窒化チタン膜47のエッティングは、実施の形態1と同様である。窒化チタン膜47のエッティング処理に

よりハードマスク74も一部削れ、その膜厚が減少する。

【0216】次に、図19(f)に示すように、ハードマスク74を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク74を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。

【0217】次に、図19(g)に示すように、BST膜58に酸素雰囲気で熱処理を施す。このときBSTからなるハードマスク74をBST膜58とが一体化する。その後の工程は実施の形態1と同様であるため説明を省略する。

【0218】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク74がBSTからなるため、ハードマスク74とBST膜58とが一体化して形成される。このため、下部電極51上部のBST膜58の接着性が極めて良好になる。これにより情報蓄積容量素子Cを信頼性よく形成できる。また、BSTは強誘電材料であるため、下部電極51上部におけるキャパシタ容量値への寄与が実施の形態1と比較して幾分大きくなる。このため情報蓄積容量素子Cの蓄積容量が大きくできる。

【0219】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができる、窒化チタン膜47をシリコン窒化膜に代えることは実施の形態1と同様である。

【0220】(実施の形態6) 本実施の形態6のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。ただし、本実施の形態では、実施の形態1の窒化チタン膜47に代えて、酸化チタン膜75を用いる。酸化チタン膜75はCVD法またはスパッタ法により形成でき、膜厚は $30nm$ とする。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0221】図20は、実施の形態6のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図20は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0222】実施の形態1の図8の工程の後(ただし窒化チタン膜47に代えて酸化チタン膜75を形成している)、図20(a)に示すように、酸化チタン膜75上にルテニウム膜55および酸化チタン膜76を形成し、酸化チタン膜76上にパターニングされたフォトレジスト膜70を形成する。

【0223】ルテニウム膜55については、実施の形態1と同様である。酸化チタン膜76は、ルテニウム膜5

5をエッティングする際のハードマスクとして機能するものである。酸化チタン膜76の膜厚は30nmとする。

【0224】フォトレジスト膜70は、酸化チタン膜76をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態1と同様にする。

【0225】次に、図20(b)に示すように、フォトレジスト膜70をマスクとして酸化チタン膜76をパターニングし、ハードマスク77を形成する。酸化チタン膜76のエッティングは、実施の形態3と同様に行うことができる。また、酸化チタン膜76は30nmと薄いので、エッティング異方性は問題にならず、フォトレジスト膜70とほぼ同一の寸法でハードマスク77がパターニングされる。これにより0.13μm幅のラインアンドスペースパターンが形成される。

【0226】次に、図20(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0227】次に、図20(d)に示すように、ハードマスク77をマスクとしてルテニウム膜55をエッティングすることにより下部電極51を形成する。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。

【0228】次に、図20(e)に示すように、ハードマスク77(酸化チタン膜)および酸化チタン膜75をエッティングする。

【0229】次に、図20(f)に示すように、BST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク77として酸化チタンを用いて前記実施の形態1～5と同様に下部電極51を形成できる。なお、酸化チタン膜に代えて酸化タングタルを用いることもできる。

【0230】(実施の形態7)本実施の形態7のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0231】図21は、実施の形態7のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図21は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0232】実施の形態1の図8の工程の後(ただし、実施の形態1の窒化チタン膜47に代えてシリコン窒化膜78を形成する。)、図21(a)に示すように、シリコン窒化膜78上にルテニウム膜55、白金膜79およびシリコン酸化膜71を形成し、シリコン酸化膜71上にパターニングされたフォトレジスト膜70を形成する。

【0233】ルテニウム膜55については、実施の形態

3と同様であるため詳細な説明は省略する。白金膜79は、ルテニウム膜55をエッティングする際の一種のプロセッキング膜であり、下部電極51の表面を保護する機能を有する。また、白金膜79は下部電極51の一部として機能する。白金膜79の膜厚は30nmである。

【0234】シリコン酸化膜71は、実施の形態1のシリコン酸化膜56と同様である。シリコン酸化膜56は白金膜79およびルテニウム膜55をエッティングする際のハードマスクとして機能するものであり、その膜厚は10後のエッティング工程で減少することを考慮して0.3μmとする。

【0235】フォトレジスト膜70は、シリコン酸化膜71をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態1の場合と同様である。

【0236】次に、図21(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜71をエッティングし、シリコン酸化膜からなるハードマスク72を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク72の底部においてもパターン幅130nm、パターン間隔130nmで形成される。

【0237】次に、図21(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0238】次に、図21(d)に示すように、シリコン酸化膜からなるハードマスク72をマスクとして白金膜79およびルテニウム膜55をエッティングする。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。これにより下部電極51を形成する。なお、下部電極51の上面には白金膜79が形成されており、白金膜はこのエッティング工程ではなく削れないためルテニウム膜の肩削れを防止することができる。また、ハードマスク72は大きく削られ、下部電極51の上部に僅かに残存する程度にその膜厚が減少する。

【0239】次に、図21(e)に示すように、ハードマスク72を除去する。このハードマスク72の除去工程では白金膜79はほとんど削られない。なお、下地はシリコン窒化膜78で構成されるため、下地が過剰にエッティングされることもない。

【0240】次に、図21(f)に示すように、白金膜79を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このように白金膜79を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。

【0241】なお、下部電極51の表面に残存するのは白金膜79であるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらない。また、白金膜79は下部電極51の一部として機能し、BST膜58と接する下部電極51の全表面をキャパシタとして機能させることができる。これにより、下部電極51の全表面積がキャパシタに寄与し、情報蓄積容量素子Cの蓄積容量を増加しDRAMの性能向上を図ることができる。

【0242】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができることは実施の形態1と同様である。

【0243】(実施の形態8) 本実施の形態8のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0244】図22は、実施の形態8のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図22は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0245】実施の形態1の図8の工程の後、図22(a)に示すように、窒化チタン膜47上にルテニウム膜55およびシリコン窒化膜80を形成し、シリコン窒化膜80上にパターニングされたフォトレジスト膜70を形成する。

【0246】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。シリコン窒化膜80は、ルテニウム膜55をエッティングする際のハードマスクとして機能し、その膜厚はルテニウム膜55のエッティングの際の膜厚減少分を考慮して60nmとする。

【0247】フォトレジスト膜70は、シリコン窒化膜80をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態1の場合と同様である。

【0248】次に、図22(b)に示すように、フォトレジスト膜70をマスクとしてシリコン窒化膜80をエッティングし、シリコン窒化膜からなるハードマスク81を形成する。シリコン窒化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク81の底部においてもパターン幅130nm、パターン間隔130nmで形成される。

【0249】次に、図22(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0250】次に、図22(d)に示すように、シリコ

ン酸化膜からなるハードマスク81をマスクとしてルテニウム膜55をエッティングする。ルテニウム膜55のエッティングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。これにより下部電極51を形成する。なお、このエッティング工程でハードマスク81は幾分エッティングされ、その膜厚は40nmに減少する。

【0251】次に、図22(e)に示すように、窒化チタン膜47を除去する。この窒化チタン膜の除去工程では、ハードマスク81がさらに削られ、その稜部が丸みを帯びるようになる。この結果、次工程のBST膜58の被覆性を向上し、情報蓄積容量素子Cの信頼性を向上できる。

【0252】次に、図22(f)に示すように、ハードマスク81を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク81を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。さらに、本実施の形態ではハードマスク81として、シリコン酸化膜よりも誘電率の高いシリコン窒化膜を用いているため、実施の形態1の場合と比較して下部電極51上部のキャパシタ容量値に寄与する割合が大きくなる。その後の工程は実施の形態1と同様であるため説明を省略する。

【0253】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができることは実施の形態1と同様である。

【0254】(実施の形態9) 本実施の形態9のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0255】図23は、実施の形態9のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図23は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0256】実施の形態1の図8の工程の後(ただし、実施の形態1の窒化チタン膜47に代えてシリコン窒化膜78を形成する)、図23(a)に示すように、シリコン窒化膜78上にルテニウム膜55およびシリコン酸化膜82を形成し、シリコン酸化膜82上にパターニングされたフォトレジスト膜70を形成する。

【0257】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。シリコン酸化膜82は、ルテニウム膜55をエッティングする際のハードマスクとして機能し、その膜厚はルテニウム膜55のエッティングが完了した時点できょうど消失するように膜厚を選択する。たとえば150nmとする。

【0258】フォトレジスト膜70は、シリコン酸化膜82をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、シリコン酸化膜82の膜厚も考慮したうえで、ルテニウム膜55のエッティングが完了した時点でちょうどシリコン酸化膜82が消失するようを選択する。シリコン酸化膜82の膜厚が150nmの場合、たとえばパターン幅を80nm、パターン間隔を180nmとする。

【0259】次に、図23(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜82をエッティングし、シリコン窒化膜からなるハードマスク83を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク83の底部においてもパターン幅80nm、パターン間隔180nmが維持される。

【0260】次に、図23(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0261】次に、図23(d)に示すように、シリコン酸化膜からなるハードマスク83をマスクとしてルテニウム膜55をエッティングする。ルテニウム膜55のエッティングは、実施の形態1のエッティング条件を若干変更し、ルテニウム膜55のエッティング形状が若干テーパ形状を有する条件を選択する。たとえば実施の形態1ではオーバーエッティングを100%行っているが、これを30%にする。その他の条件は実施の形態1の場合と同様とする。このような条件では、ルテニウム膜55はテーパ角89度にエッティングされず、85度程度でエッティングされる。また、前記の通りルテニウム膜55のエッティング終了時点でハードマスク83が消失するようその膜厚およびパターン幅を選択している。この結果、エッティングが終了した時点で、下部電極51の断面形状は、図示するように、三角形状になる。このように本実施の形態では下部電極51の形成完了時点でハードマスク83が消失しており、これをエッティングして除去する必要がない。この結果、工程を簡略し、また、下部電極51の加工形状を悪化させず、さらに、下地を荒れさせることもない。

【0262】次に、図23(e)に示すように、BST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。

【0263】このように本実施の形態ではハードマスク83を除去する必要がないため、実施の形態1で説明したと同様の効果が得られるさらに、本実施の形態では下部電極51とBST膜58との間に、容量値を低下させるような物質が形成されておらず、下部電極51の全表面積を有効に使用することができる。

【0264】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とす

ることができるることは実施の形態1と同様である。また、シリコン窒化膜78を窒化チタン膜に代えることができる。この場合、図23(d)工程の後に、窒化チタン膜をエッティングする必要がある。エッティング工程の増加を考慮すればシリコン窒化膜78用いる方が好ましい。

【0265】(実施の形態10) 本実施の形態10のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違し、またその他の構成は各部材の寸法の点で相違する。すなわち、実施の形態1では、下部電極51が図10(a)におけるB-B線方向に260μmピッチで形成されるが、本実施の形態では160μmピッチで形成される。つまり、本実施の形態のDRAMは4~16Gbitの集積度を有するデバイスに適用されるものである。従って、情報蓄積容量素子C以外の部分の寸法は、前記160μmピッチの適合するように形成される。

【0266】図24は、実施の形態10のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図24は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0267】実施の形態1の図8の工程の後(ただし各部材は前記した寸法に適合するように形成される。また、窒化チタン膜47に代えて酸化チタン膜75を形成している。)、図24(a)に示すように、シリコン窒化膜75上にイリジウム膜84、ルテニウム膜85およびシリコン酸化膜86を形成し、シリコン酸化膜86上にパターニングされたフォトレジスト膜70を形成する。

【0268】イリジウム膜84は、たとえばCVD法またはスパッタ法により形成され、下部電極51の一部となるものである。その膜厚はたとえば300nmとする。ルテニウム膜85は、イリジウム膜84のエッティングの際のハードマスクの一部として用いられるものであり、100nmの膜厚で形成される。シリコン酸化膜86は、実施の形態1のシリコン酸化膜56と同様であり、ルテニウム膜85をエッティングする際のハードマスクとして機能する。その膜厚は後のエッティング工程で減少することを考慮して100nmとする。

【0269】フォトレジスト膜70は、シリコン酸化膜86をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態1の場合と同様に形成する。ただし、パターン寸法は実施の形態1よりも小さく、パターン幅を80nm、パターン間隔を80nmとする。フォトレジスト膜70の膜厚は、シリコン酸化膜86のエッティングの際の減少分を考慮して300nmとする。フォトレジスト膜70にEB(Electron Beam)レジストを用いることは実施の形態

1と同様である。

【0270】次に、図24(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜86をエッチングし、ルテニウム膜85をパターニングするためのハードマスク87を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク87の底部においてもパターン幅80nm、パターン間隔80nmで形成される。

【0271】次に、図24(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0272】次に、図24(d)に示すように、シリコン酸化膜からなるハードマスク87をマスクとしてルテニウム膜85をパターニングし、ルテニウムからなるハードマスク88を形成する。ルテニウム膜85のエッチングには、実施の形態1の図11(d)工程で説明したルテニウムの高異方性エッチングを用いる。このようなエッチング条件では、ルテニウム膜85のエッチングレートは約112nm/minでありシリコン酸化膜からなるハードマスク87に対する選択比は約10と大きい。このような条件では、ハードマスク88のテーパ角は89度とほぼ垂直に形成され、ハードマスク87のパターンを忠実に再現したハードマスク88のパターンが形成される。なお、この段階でハードマスク87も一部が削られ、その膜厚が減少する。

【0273】次に、図24(e)に示すように、ハードマスク87、88をマスクとしてイリジウム膜84をエッチングすることにより下部電極51を形成する。なお、この段階でハードマスク87がさらに削られ、その膜厚がさらに減少する。イリジウム膜84のエッチングは、前工程のルテニウム膜85のエッチングと同様に行う。従って、イリジウム膜84は、異方性よくテーパ角89度とほぼ垂直に形成される。

【0274】次に、図24(f)に示すように、ハードマスク87、88を除去することなくPZT膜89を堆積する。PZT膜89はたとえばスパッタ法またはCVD法により形成できる。このようにハードマスク87、88を除去することなくPZT膜89を堆積するメリットは、実施の形態1で説明したメリットと同様である。なお、下部電極51の表面部分に形成されたハードマスク88はルテニウムで構成されるため、耐熱性に優れ、PZT膜89との親和性も高い。さらに、ハードマスク88の側面部分はキャパシタ容量値に寄与することができる。ただし、ハードマスク87はシリコン酸化膜で構成されるため、その部分はキャパシタ容量値に寄与しない。このようにキャパシタ容量値に寄与しない部分があっても、容量値全体の低下率は許容できる範囲であることは実施の形態1と同様である。

【0275】その後の工程は実施の形態1とほぼ同様で

あるため説明を省略する。ただし、PZT膜89のアニールは約500°Cで行い、上部電極としてはイリジウム膜を用いる。

【0276】本実施の形態によれば、実施の形態1で説明した効果に加えて、さらに高集積な情報蓄積容量素子Cが形成できる。これにより4~16GbbitクラスのDRAMを製造できる。

【0277】なお、下部電極51を酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜とすることができる。また、前記図24(e)の工程の後、シリコン酸化膜75をエッチングするとともにハードマスク87を除去することもできる。この場合、ハードマスク87が存在しなくなり、ハードマスク88の上面部もキャパシタの容量値に寄与することができる。これにより蓄積容量の増加を図ることができる。

【0278】(実施の形態11) 図25および図26は、実施の形態11のFeRAMの製造工程の一例をその情報蓄積容量素子Cの部分について工程順に示した断面図である。本実施の形態のFeRAMは、選択MIS20FETおよび周辺回路の部分は実施の形態1と同様である。以下、情報蓄積容量素子Cの部分についてのみ説明する。

【0279】実施の形態1の図8の工程の後、図25(a)に示すように、膜厚20nmのチタン膜90、膜厚150nmのイリジウム膜91、膜厚20nmの白金膜92、膜厚250nmのPZT膜93、膜厚150nmのイリジウム膜94、および膜厚20nmの白金膜95を順次堆積する。さらに、白金膜95上に実施の形態2で説明したと同様なラウンドレジスト膜96を形成する。ラウンドレジスト膜96は、プラグ49上に形成する。

【0280】次に、図25(b)に示すように、ラウンドレジスト膜96をマスクにして白金膜95をエッチングする。この白金膜95のエッチングは、たとえばマグネットロン反応性イオンエッチング法を用いることができる。エッチング条件は、たとえば反応圧力を5mTorr、RF電力を1.2kW、エッチングガスを塩素(Cl<sub>2</sub>)およびアルゴンを各々20sccmおよび10scm、基板温度を30°Cとすることができます。このような条件の場合、テーパ角が70度程度の異方性を発現する。このエッチングでは、ラウンドレジスト膜96が形成されているため、エッチングされた白金膜95の側壁に不着物は発生しない。

【0281】次に、図25(c)に示すように、ラウンドレジスト膜96をアッショング等で除去し、エッチングされた白金膜95をマスクにしてイリジウム膜94をエッチングする(図25(d))。このイリジウム膜94のエッチングも前記白金膜95のエッチングと同様に行う。エッチングされたイリジウム膜94のテーパ角はほぼ70度となり、側壁付着物は発生しない。

【0282】次に、イリジウム膜94のエッティングの際のハードマスクとして用いた白金膜95を除去することなく、エッティングされたイリジウム膜94を覆うようにレジスト膜97を形成する(図25(e))。その後、レジスト膜97をマスクにしてPZT膜93をエッティングする(図25(f))。PZT膜93のエッティングは、白金膜95のエッティングと同様に行う。エッティングされたPZT膜93のテーパ角はほぼ70度となり、側壁付着物は発生しない。

【0283】次に、レジスト膜97を除去し(図26(g))、エッティングされたPZT膜93を覆うようにレジスト膜98を形成する。その後、レジスト膜98をマスクにして白金膜92をエッティングする(図26(h))。さらに、レジスト膜98およびエッティングされた白金膜92をマスクにして、イリジウム膜91、チタン膜90をエッティングする(図26(i))。最後にレジスト膜98をアッシング等で除去する(図26(j))。

【0284】このようにして、パターニングされた白金膜95およびイリジウム膜94からなる上部電極と、パターニングされたPZT膜93からなる誘電体膜と、パターニングされた白金膜92およびイリジウム膜91からなる下部電極とからなるキャパシタが形成される。

【0285】本実施の形態によれば、白金膜95、92を用いてイリジウム膜94、91をエッティングすることができ、精度よくFeRAMのキャパシタを形成できる。

【0286】なお、白金に代えてルテニウムを用いることができる。この場合のエッティングは、実施の形態1で説明したルテニウム膜のエッティング方法を用いることができる。また、PZTに代えてBSTを用いることもできる。

【0287】(実施の形態12) 本実施の形態12のDRAMは、実施の形態7のDRAMと情報蓄積容量素子Cにおいて相違するのみで、他の構成および製造方法は実施の形態7と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0288】図27および図28は、実施の形態12のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図27および図28は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0289】実施の形態7と同様に、図27(a)に示すように、シリコン窒化膜78上にルテニウム膜55、白金膜79およびシリコン酸化膜71を形成し、シリコン酸化膜71上にパターニングされたフォトレジスト膜70を形成する。

【0290】シリコン窒化膜78、ルテニウム膜55、

シリコン酸化膜71およびフォトレジスト膜70については、実施の形態7と同様である。白金膜79は、実施の形態7と同様に、下部電極51の一部として機能し、下部電極51の表面を保護する機能を有する。また、白金膜79は、フォトレジスト膜70をアッシングする際の保護膜としての機能をさらに有する。アッシングの際の保護膜的機能については後述する。白金膜79の膜厚は20nmである。

【0291】次に、図27(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜71をエッティングし、シリコン酸化膜からなるハードマスク72を形成する。シリコン酸化膜は実施の形態7と同様に、異方性よく加工されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク72の底部においてもパターン幅130nm、パターン間隔130nmで形成される。

【0292】次に、図27(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去はアッシングにより行われる。アッシングは、酸素を原料ガスに含む枚葉式プラズマアッシャ、パレル型アッシャ、あるいはオゾンガスによるオゾンアッシャ等を例示できる。すなわち、酸素ラジカル、オゾン等の活性酸素、強酸性ガス等の雰囲気に暴露することによりアッシングが実現できる。

【0293】本実施の形態では、ルテニウム膜55上に白金膜79が形成されているため、このアッシングの際にルテニウム膜55が浸食されることなく、ルテニウム膜55の浸食あるいは消失を防止できる。すなわち、アッシング雰囲気においては活性な酸素ラジカルあるいはオゾンが多量に存在するため、下部電極51となるルテニウム膜55を浸食する可能性がある。つまり、ルテニウムは活性な酸素またはオゾンにより浸食(エッティング)されるため、仮にルテニウム膜55が露出している場合にはハードマスク72の存在しない領域のルテニウム膜55が浸食を受ける場合が生じる。ハードマスク72の存在しない領域は次工程においてエッティングされ除去される領域ではあるが、アッシングによる浸食は等方性であるため、ハードマスク72の下部領域に入り込み、下部電極51の加工精度を低下させる場合がある。また、著しい場合にはルテニウム膜55が消失する恐れもある。

【0294】しかし、本実施の形態では、ルテニウム膜55上に白金膜79が形成されている。白金膜79は、ルテニウム膜55とは相違し、活性な酸素またはオゾンで浸食されることがない。この結果、アッシング工程においてルテニウム膜55が活性な酸素またはオゾンに露されることではなく、ルテニウム膜55が浸食されることはない。したがって、次工程の下部電極51の加工精度を向上でき、また、ルテニウム膜55の消失を防止して下部電極51の加工を実現できる。

【0295】次に、図27(d)に示すように、実施の形態7で説明したと同様に、シリコン酸化膜からなるハードマスク72をマスクとして白金膜79およびルテニウム膜55をエッティングする。ルテニウム膜55は、前記したとおり浸食されることなく存在しているため、また、異方性よくテーパ角89度でほぼ垂直に形成されるため、その加工精度を高くすることができる。

【0296】ここで、白金膜79とルテニウム膜55とは一度のエッティング工程により連続してエッティング加工されるが、白金79のエッティングにより不揮発性の白金反応生成物が生じる可能性がある。しかし、白金膜79はその膜厚が20nmと薄いため不揮発性の白金反応生成物の発生量は少ない。このため、白金膜79の加工において行われるルテニウム膜55のエッティング加工においては、この白金反応生成物の存在は特に問題とならず、ルテニウム膜55加工の異方性への影響は極めて小さい。この結果、ルテニウム膜55はテーパ角89度でほぼ垂直に形成されることとなる。

【0297】なお、白金膜79は前記アッティング工程においても、また、本エッティング工程のルテニウムエッティングにおいてもほとんど削れないため、ルテニウム膜の肩削れを防止することができることは実施の形態7と同様である。また、ハードマスク72は大きく削られ、下部電極51の上部に僅かに残存する程度にその膜厚が減少することも実施の形態7と同様である。

【0298】次に、実施の形態7と同様に、ハードマスク72を除去する(図27(e))。このハードマスク72の除去工程では白金膜79はほとんど削られない点、および下地がシリコン空化膜78で構成されるため過剰に下地がエッティングされることがない点は実施の形態7と同様である。

【0299】なお、ハードマスク72は除去する必要はなく、ハードマスク72が存在したまま次工程のBST膜58を堆積してもよい。この場合には下部電極51の上面部はキャパシタとして作用しないが、上面部の面積(寄与率)が十分に小さいため問題とならないことは実施の形態1と同様である。

【0300】次に、図27(f)に示すように、白金膜79を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このように白金膜79を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。

【0301】次に、図27(g)に示すように、BST膜58を酸素雰囲気で熱処理(アニール)を行なう。熱処理条件等は実施の形態1と同様である。

【0302】次に、図27(h)に示すように、BST膜58上に白金膜120を堆積する。白金膜120は、スパッタ法またはCVD法により堆積できる。白金膜120は、白金膜79と同様に、フォトレジスト膜60を

アッティングする際に浸食されないという特性を有する。この点は後述する。

【0303】次に、図28(i)に示すように白金膜120上にフォトレジスト膜60を形成する。フォトレジスト膜60はDRAMのメモリセル領域を覆うように形成する。

【0304】次に、図28(j)に示すようにこのフォトレジスト膜60をマスクとして白金膜120およびBST膜58をエッティングし、容量絶縁膜53および上部電極54を形成する。白金膜120のエッティングは、前記ルテニウムのように異方性よくはエッティングされないが、上部電極54は一般にメモリセル領域の全面に一体として形成されるため、エッティング端部が多少テーパ状に形成されても微細加工性に大きな影響はない。白金膜120のエッティングは、約60度のテーパ角で形成される。

【0305】次に、図28(k)に示すように、フォトレジスト膜60をアッティングにより除去する。このアッティングは、前記フォトレジスト膜70のアッティングの場合と同様である。本実施の形態では、上部電極54となる材料として白金膜120を用いているため、下部電極51の白金膜79の場合と同様、アッティングによる浸食を防止できる。これにより、白金膜120が浸食あるいは消失することなく、上部電極54を加工し、実現できる。

【0306】このようにして、ルテニウムおよび白金からなる下部電極51、BSTからなる容量絶縁膜53および白金からなる上部電極54を有する情報蓄積容量素子Cを完成する(図28(k))。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0307】白金膜120の堆積にはたとえばスパッタ法またはCVD法を用いることができる。また、白金膜120およびBST膜58のエッティングには、実施の形態1の図13に示すエッティング装置を用いることができる。エッティング条件は、たとえば反応圧力2mTorr、プラズマソースパワー300W、RFバイアスパワー600W、四フッ化炭素(CF<sub>4</sub>)およびアルゴン(Ar)を各々10scmおよび40scmで、オーバーエッティング量を10%とすることができる。このような条件では、エッティング形状は異方性を発揮せず、テーパ角は約60度となるが、ここでは微細加工を要求されるわけではないので不都合はない。なお、この条件での白金のエッティングレートは100nm/min、BSTのエッティングレートは100nm/minである。

【0308】その後の工程は実施の形態1と同様であるため説明を省略する。

【0309】なお、下部電極51の表面に残存するのは白金膜79であるため、耐熱性に優れ、BST膜58の

酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらない。しかも本発明者らの知見によれば、白金は BST との結晶的相性が良い。このため、BST の特性が向上し、下部電極 51 の上面におけるキャパシタ特性および BST の接着性を向上できる。また、白金膜 79 は下部電極 51 の一部として機能し、BST 膜 58 と接する下部電極 51 の全表面をキャパシタとして機能させることができる。これにより、下部電極 51 の全表面積がキャパシタに寄与し、情報蓄積容量素子 C の蓄積容量を増加し DRAM の性能向上を図ることができる。これらの点は、実施の形態 7 と同様である。また、下部電極 51 を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることは実施の形態 1 と同様である。

【0310】また、下部電極 51 の白金 79 に代えて、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物、イリジウムまたは二酸化イリジウムを用いることができる。これらの材料は、白金同様にアッシングによりエッチングされることがない、あるいはルテニウムよりもエッティング速度が小さいため、白金膜 79 と同様にルテニウム膜 55 の浸食あるいは消失を防止できる。なお、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物を用いる場合には、白金のように従来プロセスで用いられていなかった新規物質を用いるわけではなく、プロセス上その性質あるいは製法が熟知された材料を用いることとなる。このため、従来工程上で得られている知見を生かすことができるというメリットがある。

【0311】(実施の形態 13) 本実施の形態 13 のDRAM は、実施の形態 12 のDRAM と情報蓄積容量素子 C の上部電極において相違するのみで、他の構成および製造方法は実施の形態 12 と同様である。従って、情報蓄積容量素子 C の製造方法について説明し、その他の説明は省略する。

【0312】図 29 は、実施の形態 13 のDRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図 29 は、図 11 および図 12 と同様に、図 10 (a) における B-B 線断面を示し、また、DRAM の情報蓄積容量素子 C の領域のみを示している。

【0313】実施の形態 12 における図 27 (g) までの工程と同様に、下部電極 51 上に BST 膜 58 を形成する。

【0314】次に、図 29 (a) に示すように、BST 膜 58 上にルテニウム膜 121 および窒化チタン膜 122 を堆積する。ルテニウム膜 121 および窒化チタン膜 122 は、スパッタ法または CVD 法により堆積できる。

【0315】このように本実施の形態では、ルテニウム膜 121 上に窒化チタン膜 122 を形成しているため、実施の形態 12 の下部電極 51 における白金膜 79 と同

様に、フォトレジスト膜 60 のアッシングの際のルテニウム膜 121 の浸食あるいは消失を防止できる。つまり、窒化チタン膜 122 は、フォトレジスト膜 60 のアッシングの際のルテニウム膜 121 の浸食に対するプロテクティング膜として作用する。

【0316】すなわち、図 29 (b) に示すように窒化チタン膜 122 上にDRAM のメモリセル領域を覆うようにフォトレジスト膜 60 を形成し、図 29 (c) に示すようにこのフォトレジスト膜 60 をマスクとして窒化チタン膜 122、ルテニウム膜 121 および BST 膜 58 をエッティングする。これにより、BST 膜 58 からなる容量絶縁膜 53 と、窒化チタン膜 122 およびルテニウム膜 121 からなる上部電極 54 とを形成する。さらに、図 29 (d) に示すように、フォトレジスト膜 60 をアッシングにより除去する。このアッシングは、実施の形態 12 のフォトレジスト膜 70 のアッシングの場合と同様である。

【0317】本実施の形態では、上部電極 54 となる材料としてルテニウム膜 121 および窒化チタン膜 122 を用い、かつ、窒化チタン膜 122 をルテニウム膜 121 上に形成しているため、実施の形態 12 の白金膜 79 の場合と同様、アッシングによる浸食を防止できる。すなわち、窒化チタン膜 122 は、アッシングの雰囲気である活性な酸素ラジカルあるいはオゾンによりエッティングされないため、窒化チタン膜 122 の下地であるルテニウム膜 121 を保護することができる。これによりルテニウム膜 121 の浸食あるいは消失を防止し、上部電極 54 を加工し実現できる。

【0318】なお、窒化チタン膜 122 およびルテニウム膜 121 のエッティング端面にはルテニウムが露出し、この部分の浸食が発生するが、上部電極 54 は一般にメモリセル領域の全面に一体として形成されるため、エッティング端部に多少の浸食が生じても微細加工性に大きな影響はない。

【0319】このようにして、ルテニウムおよび白金からなる下部電極 51、BST からなる容量絶縁膜 53 およびルテニウムと窒化チタンとからなる上部電極 54 を有する情報蓄積容量素子 C を完成する (図 29 (d))。これにより、メモリセル選択用 MISFET Qs とこれに直列に接続された情報蓄積容量素子 C とで構成されるDRAM のメモリセルが完成する。

【0320】窒化チタン膜 122、ルテニウム膜 121 および BST 膜 58 のエッティングには、実施の形態 1 の図 13 に示すエッティング装置を用いることができる。エッティング条件は、たとえば反応圧力 2 mTorr、プラズマソースパワー 300W、RF バイアスパワー 600W、四フッ化炭素 (CF<sub>4</sub>) およびアルゴン (Ar) を各々 10 sccm および 40 sccm で、オーバーエッティング量を 10% とすることができる。このような条件下では、エッティング形状は異方性を發揮せず、テーパ角は

約60度となるが、ここでは微細加工を要求されるわけではないので不都合はない。なお、この条件でのルテニウムのエッティングレートは150nm/min、BSTのエッティングレートは100nm/min、窒化チタンのエッティングレートは120nm/minである。

【0321】その後の工程は実施の形態1と同様であるため説明を省略する。

【0322】なお、下部電極51の表面に白金膜79を残存させる効果は、実施の形態12と同様である。また、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることは実施の形態1と同様である。

【0323】また、下部電極51の白金79に代えて、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物、イリジウムまたは二酸化イリジウムを用いることができる実施の形態12と同様である。

【0324】また、本実施の形態では、情報蓄積容量素子Cの形成後、実施の形態1と同様にSOGからなるシリコン酸化膜61を形成し、さらにプラグ64を形成できるが、上部電極54の上層（表面層）には窒化チタンが形成されている。このように窒化チタンが形成されているため、上部電極54とプラグ64とのコンタクト抵抗を低減できる。

【0325】（実施の形態14）本実施の形態14のDRAMは、実施の形態13のDRAMと情報蓄積容量素子Cの上部電極において相違するのみで、他の構成および製造方法は実施の形態13と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0326】図30は、実施の形態13のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図30は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0327】実施の形態13と同様、実施の形態12の図27(g)に示すように下部電極51上にBST膜58を形成する。

【0328】次に、図30(a)に示すように、BST膜58上にルテニウム膜121およびシリコン酸化膜123を堆積する。ルテニウム膜121はスパッタ法またはCVD法により堆積できる。シリコン酸化膜123はたとえばTEOSを原料ガスに用いたCVD法により形成できる。シリコン酸化膜123の膜厚は30nmとする。

【0329】このように本実施の形態では、ルテニウム膜121上にシリコン酸化膜123を形成しているため、実施の形態13の窒化チタン膜122と同様に、フォトレジスト膜60のアッシングの際のルテニウム膜121の浸食あるいは消失に対するブロッキング膜として

作用させることができる。

【0330】すなわち、図30(b)に示すようにシリコン酸化膜123上にDRAMのメモリセル領域を覆うようにフォトレジスト膜60を形成し、図30(c)に示すようにこのフォトレジスト膜60をマスクとしてシリコン酸化膜123、ルテニウム膜121およびBST膜58をエッティングする。これにより、BST膜58からなる容量絶縁膜53と、シリコン酸化膜123およびルテニウム膜121からなる上部電極54とを形成する。さらに、図30(d)に示すように、フォトレジスト膜60をアッシングにより除去する。このアッシングは、実施の形態12のフォトレジスト膜70のアッシングの場合と同様である。

【0331】本実施の形態では、上部電極54となる材料としてルテニウム膜121およびシリコン酸化膜123を用い、かつ、シリコン酸化膜123をルテニウム膜121上に形成しているため、実施の形態13の窒化チタン膜122と同様、アッシングによる浸食を防止できる。シリコン酸化膜123は、アッシングの雰囲気である活性な酸素ラジカルあるいはオゾンによりエッティングされないため、シリコン酸化膜123の下地であるルテニウム膜121を保護することができる。

【0332】なお、シリコン酸化膜123およびルテニウム膜121のエッティング端面にはルテニウムが露出するが、実施の形態13と同様、大きな問題は生じない。

【0333】このようにして、ルテニウムおよび白金からなる下部電極51、BSTからなる容量絶縁膜53およびルテニウムとシリコン酸化膜とからなる上部電極54を有する情報蓄積容量素子Cを完成する（図30(d)）。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが完成する。なお、絶縁膜であるシリコン酸化膜123は電極としては作用しないが、上部電極54を構成するルテニウムと一体に形成されることから、本明細書では、シリコン酸化膜123を上部電極54に含めて考える。また、シリコン酸化膜123に代て、他の絶縁膜たとえばシリコン窒化膜を用いることもできる。

【0334】シリコン酸化膜123、ルテニウム膜121およびBST膜58のエッティングには、実施の形態13と同様に実施の形態1の図13に示すエッティング装置を用いることができ、エッティング条件も実施の形態13と同様である。この条件でのルテニウムのエッティングレートは150nm/min、BSTのエッティングレートは100nm/min、シリコン酸化膜のエッティングレートは300nm/minである。

【0335】その後の工程は実施の形態1と同様であるため説明を省略する。

【0336】なお、下部電極51の表面に白金膜79を残存させる効果は、実施の形態12と同様である。ま

た、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができるることは実施の形態1と同様である。

【0337】また、下部電極51の白金79に代えて、二酸化ルテニウム、酸化タンタル、酸化チタン、BST、シリコン酸化物、イリジウムまたは二酸化イリジウムを用いることができることも実施の形態12と同様である。

【0338】また、本実施の形態では、情報蓄積容量素子Cの形成後、実施の形態1と同様にSOGからなるシリコン酸化膜61を形成するが、シリコン酸化膜123はSOGからなるシリコン酸化膜61と併に層間絶縁膜の一部となる。なお、上部電極表面に凹凸が形成される場合には、上部電極とSOGとの間に埋め込みようのシリコン酸化膜(TEOS酸化膜)が形成されるが、シリコン酸化膜123をこのシリコン酸化膜の一部として機能させることもできる。

【0339】(実施の形態15) 図31は、実施の形態15のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図31では、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0340】本実施の形態の製造方法は、実施の形態12の図27(g)までの工程については同様である。

【0341】図27(g)のように下部電極51上にBST膜58を形成した後、図31(a)に示すように、ルテニウム膜121、窒化チタン膜122およびシリコン酸化膜123を順次形成する。ルテニウム膜121、窒化チタン膜122およびシリコン酸化膜123の形成は各々実施の形態13、14で説明したと同様である。

【0342】次に、図31(b)に示すようにシリコン酸化膜123上にDRAMのメモリセル領域を覆うようにフォトレジスト膜60を形成し、図31(c)に示すようにこのフォトレジスト膜60をマスクとしてシリコン酸化膜123をエッチングし、フォトレジスト膜60をアッショングして除去する。

【0343】このように本実施の形態では、ルテニウム膜121上に窒化チタン膜122を残した状態でフォトレジスト膜60のアッショングを行うため、ルテニウム膜121がアッショングにより浸食されがない。

【0344】次に、図31(d)に示すように、前記エッチングによりバーニングされたシリコン酸化膜123をマスクとして窒化チタン膜122、ルテニウム膜121およびBST膜58をドライエッチングにより異方性エッチする。これにより、BST膜58からなる容量絶縁膜53と、シリコン酸化膜123、窒化シリコン膜122およびルテニウム膜121からなる上部電極54とを形成する。

【0345】このように、窒化チタン膜122、ルテニウム膜121およびBST膜58のエッチングではドライエッティングを用い、その後アッショング雰囲気に暴露されることができないので、ルテニウム膜121のエッティング端部においても浸食あるいは消失の発生が防止できる。これにより、加工精度を向上して微細加工に寄与できる。その他の効果は実施の形態13、14と同様である。

【0346】(実施の形態16) 図32は、実施の形態16のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図32では、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0347】本実施の形態の製造方法は、実施の形態1の図8までの工程については同様である。

【0348】実施の形態1の図8の工程の後、図32(a)に示すように、窒化チタン膜47上にルテニウム膜55およびシリコン酸化膜56を形成し、シリコン酸化膜56上にバーニングされたフォトレジスト膜57を形成する。

【0349】ルテニウム膜55、シリコン酸化膜56、フォトレジスト膜57については、実施の形態1と同様である。

【0350】次に、図32(b)に示すように、フォトレジスト膜57をマスクとしてシリコン酸化膜56をエッチングする。このエッチングでは、シリコン酸化膜56の底面に達するまでエッチングせず、底部に薄いシリコン酸化膜が残るようエッチングをストップする。つまり、シリコン酸化膜56を完全にはバーニングせず、凹凸を有した断面形状となるように形成する。シリコン酸化膜52のエッチング方法は、実施の形態1と同様である。

【0351】次に、図32(c)に示すように、フォトレジスト膜57を除去する。フォトレジスト膜57の除去には実施の形態12～15と同様にアッショング法を用いる。このアッショングに際して、シリコン酸化膜52が完全にバーニングされていないため、つまりルテニウム膜55の表面が露出されていないため、ルテニウム膜55がアッショング雰囲気に暴露されることはなく、これにより、ルテニウム膜55の浸食あるいは消失を防止できる。

【0352】次に、図32(d)に示すように、凹凸を有するシリコン酸化膜52の存在下部電極でエッチングを施す。シリコン酸化膜52の薄い部分が先に消失するため、シリコン酸化膜52の薄い部分が消失した後は、このシリコン酸化膜がマスクとして機能し、ルテニウム膜55をエッチングすることができる。これにより下部電極51を形成する。このルテニウム膜55のエッティングは、実施の形態1と同様に行える。

【0353】このように本実施の形態では、ルテニウム膜55の浸食あるいは消失を防止するため、実施の形態1と同様に、下部電極51を精度よく加工することができる。

【0354】なお、シリコン酸化膜52に代えて、他の絶縁膜たとえばシリコン窒化膜等を用いることができる。

【0355】(実施の形態17)図33は、実施の形態17のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図33では、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0356】本実施の形態の製造方法は、実施の形態12の図27(c)までの工程については同様である。実施の形態12で説明したと同様にハードマスク72上のフォトレジスト膜70を除去する。このときルテニウム膜55上に白金膜79が形成されているため、ルテニウム膜55の浸食あるいは消失が防げることは実施の形態12と同様である。

【0357】次に、本実施の形態では、実施の形態12のように白金膜79とルテニウム膜55とを同一工程でエッティング加工せず、図33(a)に示すように、白金膜79をハードマスク72の存在下でエッティングしてパターニングする。このエッティングには、たとえば実施の形態1の図13に示すエッティング装置を用いることができ、エッティング条件としては、たとえば反応圧力2mTorr、プラズマソースパワー300W、RFバイアスパワー600W、四フッ化炭素(CF<sub>4</sub>)およびアルゴン(Ar)を各々10sccmおよび40sccmで、約10秒間のエッティング時間とすることができる。

【0358】次に、実施の形態12の図27(d)におけるエッティングと同様に、ルテニウム膜55をエッティング加工する(図33(b))。その後の工程は実施の形態12と同様である。

【0359】本実施の形態では、白金膜79とルテニウム膜55とを1ステップで加工することなく、2ステップでの加工方法を探ることから、エッティング加工の加工精度を向上できる。すなわち、第1ステップでの白金膜79のエッティングの際には、前記のような条件つまり不揮発性の白金反応生成物が発生し難い条件でエッティング加工して白金反応生成物の発生を抑制し、ついで第2ステップでルテニウム膜55の加工を優れた異方性が得られる条件(実施の形態1のルテニウム膜55のエッティング条件)で行う。これにより、ルテニウム膜55の加工の際には白金反応生成物は存在せず、ルテニウム膜55の加工精度が向上される。なお、白金膜79の前記した条件(不揮発性の白金反応生成物が発生し難い条件)での加工により、白金膜79はテーパ角の小さな異方性の良くない断面形状で加工されるが、白金膜79の膜厚が

20nmと薄いため、ルテニウム膜55の加工精度への影響は小さく、特に問題にはならない。

【0360】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0361】たとえば、実施の形態2では、ルテニウム膜55のエッティングの際のハードマスクに白金を用いでいるが、下部電極51をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜とすることができる。この場合下部電極51となるイリジウム等導電膜の膜厚を300nm、フォトレジスト膜67の寸法を、パターン幅60nm、パターン間隔100nmとすることができる。また、容量絶縁膜としてPZT膜を用い、上部電極としてリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜を適用することができる。このような構成において実施の形態2の製造方法を適用すれば、実施の形態10と同様に4~16GbbitクラスのDRAMを製造できる。

【0362】また、PZT膜をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜のエッティングマスク(ハードマスク)に適用することもできる。実施の形態5のルテニウム膜55をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜に置き換え、BST膜73をPZT膜に置き換え、フォトレジスト膜70の寸法を、パターン幅60nm、パターン間隔100nmとし、実施の形態5の加工方法を適用してイリジウム等からなる下部電極を形成することができる。このような構成においても実施の形態10と同様に4~16GbbitクラスのDRAMを製造できる。なお、この場合、容量絶縁膜としてPZT膜を用い、上部電極としてリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜を適用することは前記と同様である。

【0363】実施の形態12~16では、フォトレジスト膜をアッシングにより除去する方法を説明したが、フォトレジスト膜の除去は、ピーリング法あるいはウェットエッティング法により行うこともできる。このような方法による場合は、アッシング雰囲気に曝されるわけではないので、フォトレジスト膜の除去工程の際に、ルテニウム膜の一部または全部が露出していても構わない。

【0364】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0365】(1) BST等の強誘電体膜に適したルテニウムあるいは酸化ルテニウム等の微細なエッティング加工を実現できる。

50 【0366】(2) 窒化チタン膜等のハードマスクの除

去工程に伴うパターンの細り、パターン上面の荒れの発生、下地絶縁膜の削れを防止し、高信頼な容量絶縁膜の形成ができる。

【0367】(3) 蓄積容量形成工程が簡略化できる。

【0368】(4) フォトレジスト膜のアッシングの際にルテニウムが浸食あるいは消失を受けること、消失することを防止できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを形成した半導体チップの全体平面図である。

【図2】実施の形態1のDRAMの等価回路図である。

【図3】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図4】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図5】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図6】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図7】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図8】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図9】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図10】(a)は下部電極パターンの平面図であり、(b)は下部電極の斜視図である。

【図11】(a)～(h)は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図12】(i)～(k)は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図13】ルテニウム膜のエッチングに使用するエッティング装置の一例を示した断面概念図である。

【図14】オーバーエッティングの概念を説明するグラフである。

【図15】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図16】(a)～(f)は、本発明の実施の形態2のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図17】(a)～(f)は、本発明の実施の形態3のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図18】(a)～(g)は、本発明の実施の形態4のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図19】(a)～(g)は、本発明の実施の形態5のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図20】(a)～(f)は、本発明の実施の形態6の

DRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図21】(a)～(f)は、本発明の実施の形態7のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図22】(a)～(f)は、本発明の実施の形態8のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

10 【図23】(a)～(e)は、本発明の実施の形態9のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図24】(a)～(f)は、本発明の実施の形態10のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図25】(a)～(f)は、本発明の実施の形態11のFeRAMの製造工程の一例をその情報蓄積容量素子の部分について工程順に示した断面図である。

20 【図26】(g)～(j)は、本発明の実施の形態11のFeRAMの製造工程の一例をその情報蓄積容量素子の部分について工程順に示した断面図である。

【図27】(a)～(h)は、本発明の実施の形態12のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図28】(i)～(k)は、本発明の実施の形態12のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

30 【図29】(a)～(d)は、本発明の実施の形態13のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図30】(a)～(d)は、本発明の実施の形態14のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図31】(a)～(d)は、本発明の実施の形態15のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図32】(a)～(d)は、本発明の実施の形態16のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

40 【図33】(a)、(b)は、本発明の実施の形態17のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図34】(a)～(f)は、テーパ角と微細パターン形状との関係を模式的に示した断面図である。

【符号の説明】

1 集積回路基体

1A 半導体チップ

5 溝(素子分離溝)

6 シリコン酸化膜

7 シリコン酸化膜

50 10 n型半導体領域

- 1 1 p型ウエル
- 1 2 n型ウエル
- 1 3 ゲート酸化膜
- 1 4 A ゲート電極
- 1 4 B ゲート電極
- 1 4 C ゲート電極
- 1 5 シリコン窒化膜
- 1 6 フォトレジスト膜
- 1 7 p-型半導体領域
- 1 8 n-型半導体領域
- 1 9 n型半導体領域
- 2 0 シリコン窒化膜
- 2 0 a サイドウォールスペーサ
- 2 1 フォトレジスト膜
- 2 2 p+型半導体領域
- 2 3 n+型半導体領域
- 2 4 SOG膜
- 2 5 シリコン酸化膜
- 2 6 シリコン酸化膜
- 2 8 コンタクトホール
- 2 9 コンタクトホール
- 3 0 プラグ
- 3 1 シリコン酸化膜
- 3 4 コンタクトホール
- 3 6 コンタクトホール
- 3 8 第1層配線
- 4 0 シリコン窒化膜
- 4 3 サイドウォールスペーサ
- 4 4 SOG膜
- 4 5 シリコン酸化膜
- 4 6 シリコン酸化膜
- 4 7 窒化チタン膜
- 4 8 スルーホール
- 4 9 プラグ
- 5 0 バリアメタル
- 5 1 下部電極
- 5 1 a 上面部
- 5 1 b 側面部
- 5 2 シリコン酸化膜
- 5 3 容量絶縁膜
- 5 4 上部電極
- 5 5 ルテニウム膜
- 5 6 シリコン酸化膜
- 5 7 フォトレジスト膜
- 5 8 BST膜
- 5 9 ルテニウム膜
- 6 0 フォトレジスト膜
- 6 1 シリコン酸化膜
- 6 2 スルーホール
- 6 3 スルーホール

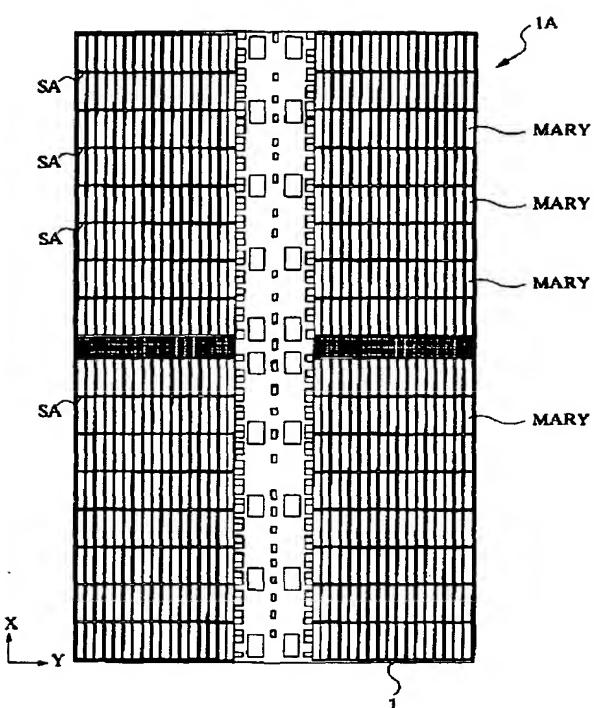
- 6 4 プラグ
- 6 5 第2層配線
- 6 6 白金膜
- 6 7 フォトレジスト膜
- 6 8 ハードマスク
- 6 9 側壁付着物
- 7 0 フォトレジスト膜
- 7 1 シリコン酸化膜
- 7 2 ハードマスク
- 10 7 3 BST膜
- 7 4 ハードマスク
- 7 5 シリコン窒化膜
- 7 5 酸化チタン膜
- 7 6 酸化チタン膜
- 7 7 ハードマスク
- 7 8 シリコン窒化膜
- 7 9 白金膜
- 8 0 シリコン窒化膜
- 8 1 ハードマスク
- 20 8 2 シリコン酸化膜
- 8 3 ハードマスク
- 8 4 イリジウム膜
- 8 5 ルテニウム膜
- 8 6 シリコン酸化膜
- 8 7 ハードマスク
- 8 8 ハードマスク
- 8 9 PZT膜
- 9 0 チタン膜
- 9 1 イリジウム膜
- 30 9 2 白金膜
- 9 3 PZT膜
- 9 4 イリジウム膜
- 9 5 白金膜
- 9 6 ラウンドレジスト膜
- 9 7 レジスト膜
- 9 8 レジスト膜
- 10 0 オーバーエッチング量
- 10 1 反応室
- 10 2 真空配管
- 40 10 3 試料台
- 10 4 石英筒
- 10 5 誘導結合コイル
- 11 0 ガス供給ノズル
- 12 0 白金膜
- 12 1 ルテニウム膜
- 12 2 窒化チタン膜
- 12 3 シリコン酸化膜
- B1 ピット線
- BST 強誘電材料
- 50 C 情報蓄積容量素子

CV コントロールバルブ  
 MARY メモリアレイ  
 MBP メカニカルプースターポンプ  
 MFC1 マスフローコントローラ  
 MFC2 マスフローコントローラ  
 Qn nチャネル型MISFET  
 Qp pチャネル型MISFET  
 Qs メモリセル選択用MISFET  
 RF1 高周波電源

RF2 高周波電力  
 RV 荒引きバルブ  
 S1 第1の面積  
 S2 第2の面積  
 SA センスアンプ  
 TMP ターボ分子ポンプ  
 WD ワードドライバ  
 WL ワード線  
 t 時刻

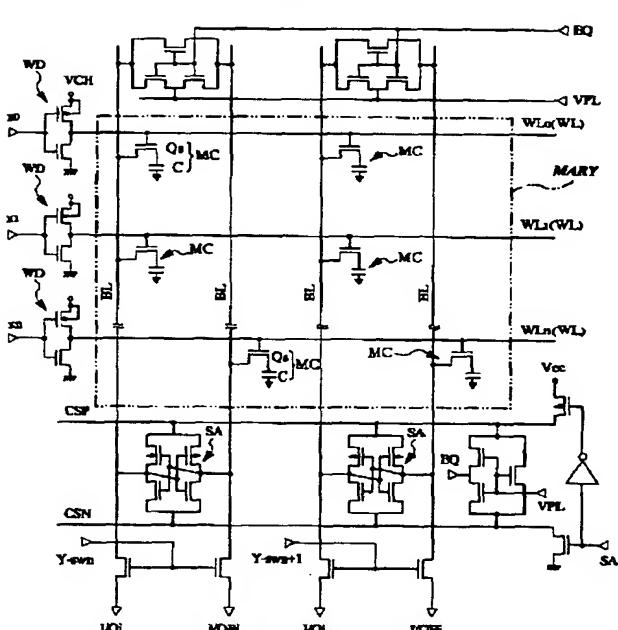
【図1】

図 1



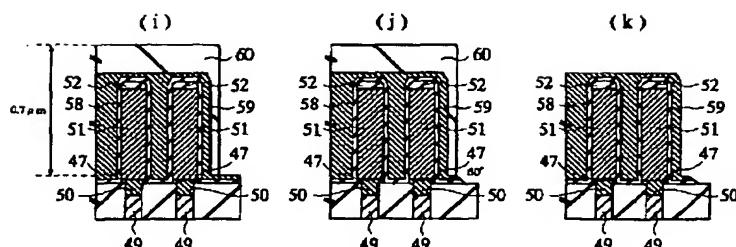
【図2】

図 2



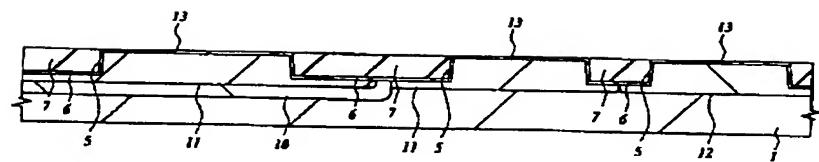
【図12】

図 12



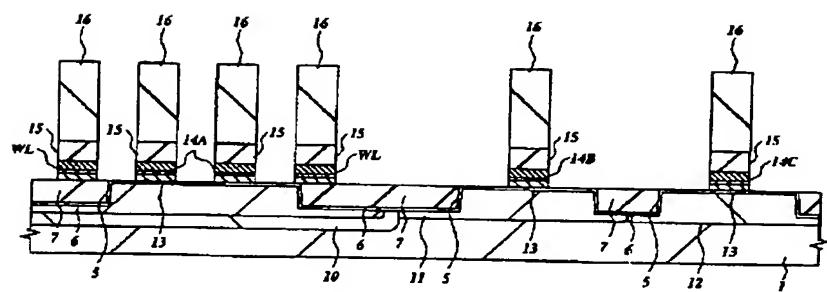
【図3】

図3



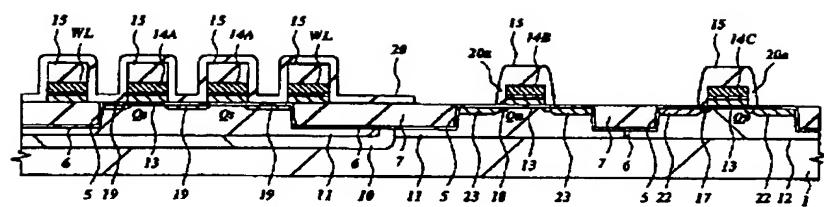
【図4】

図4



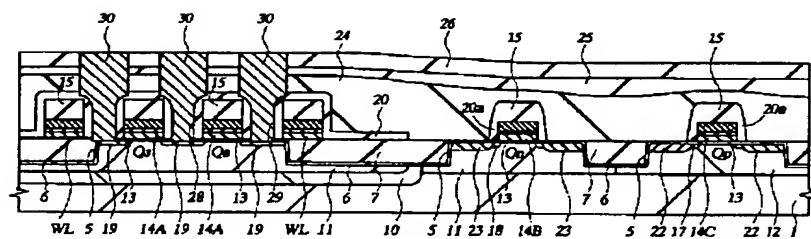
【図5】

図5



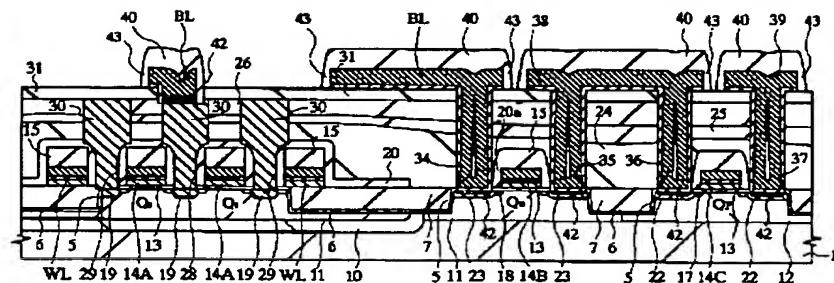
【図6】

図6



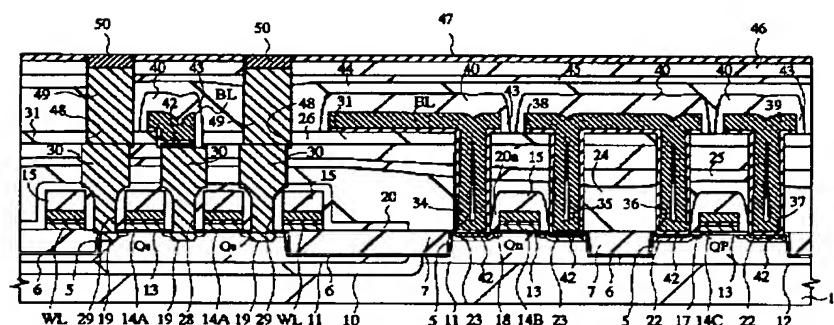
〔图7〕

7



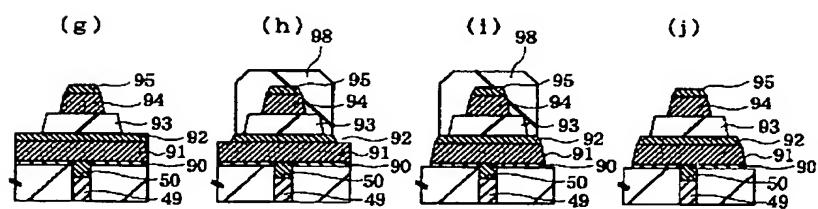
〔図8〕

图 8



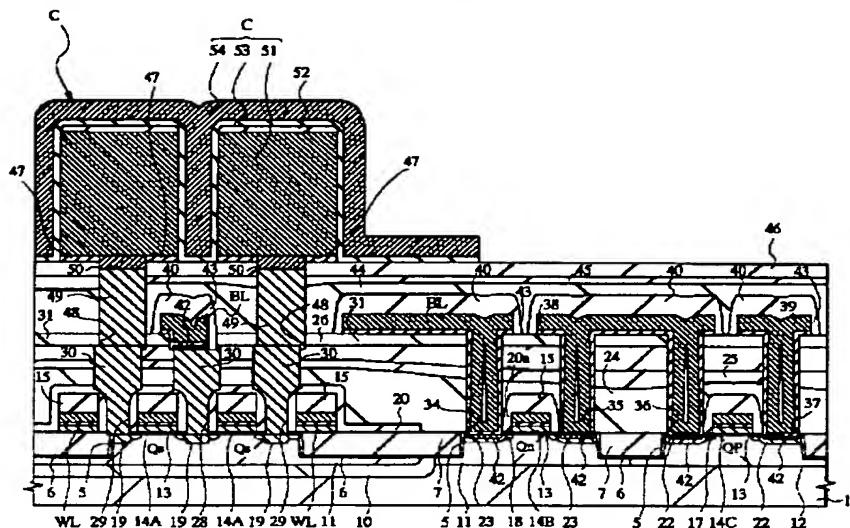
〔図26〕

26



[図9]

图 9

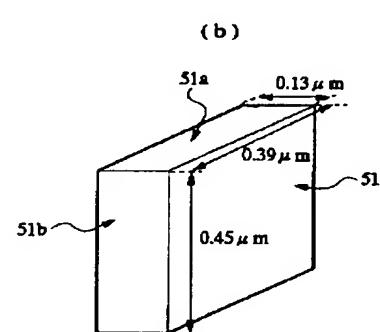
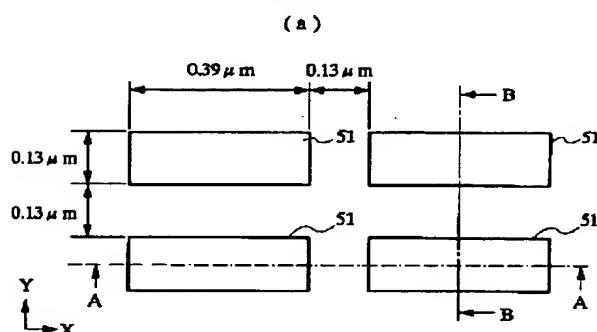


〔圖 10〕

[圖 14]

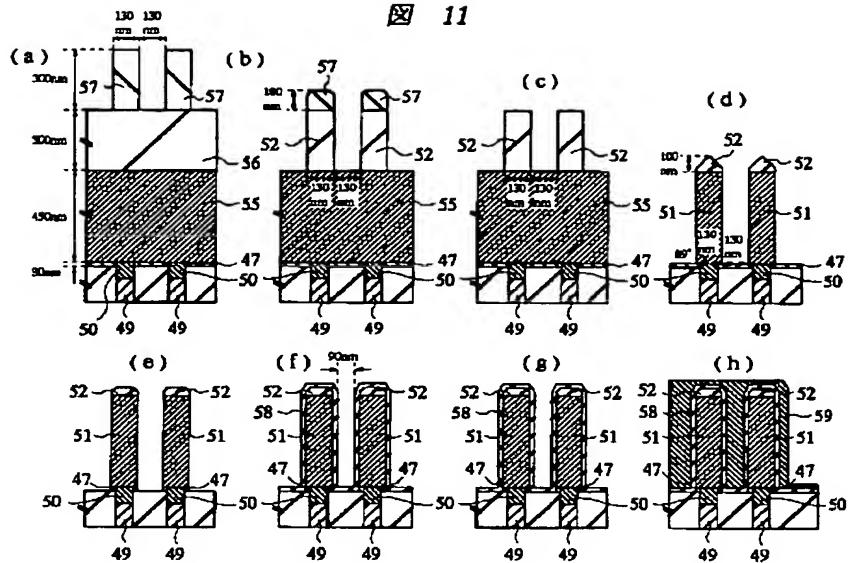
10

14



〔圖 1 1 〕

图 11



【図13】

[图29]

13

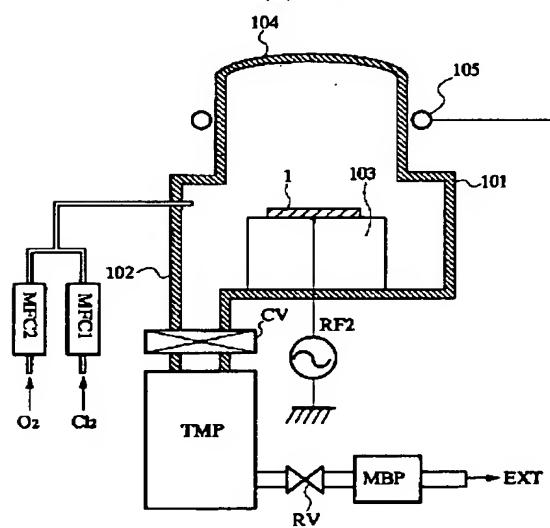
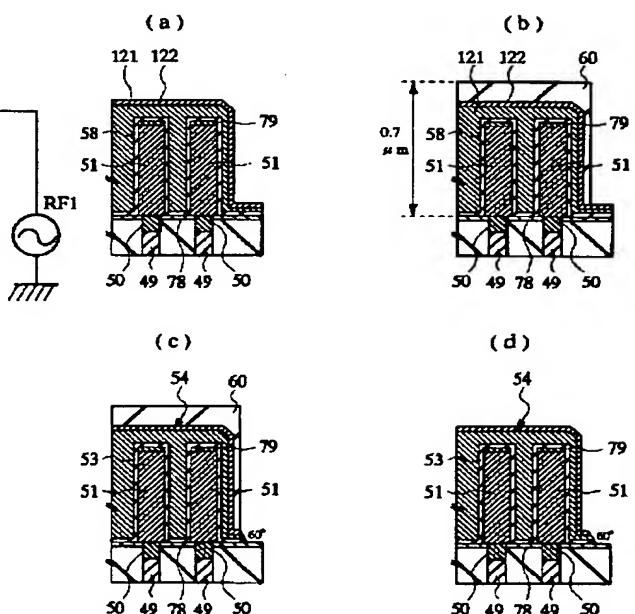
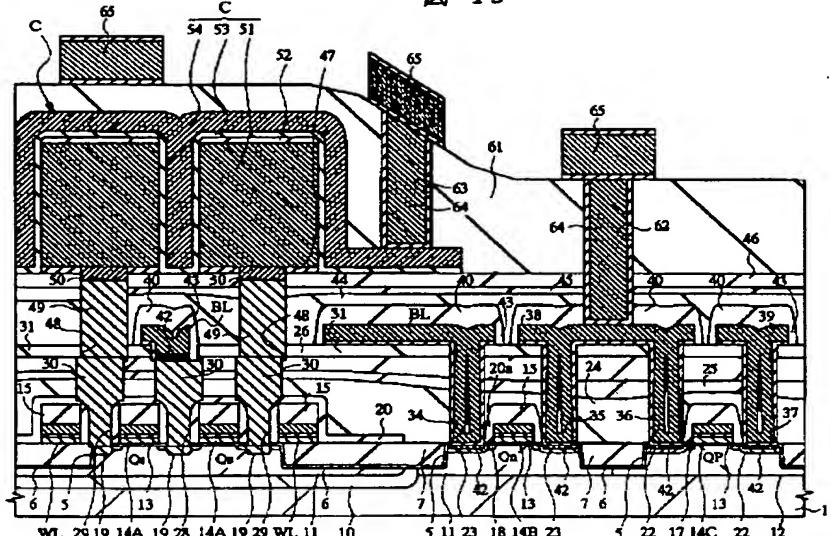


図 29



【図15】

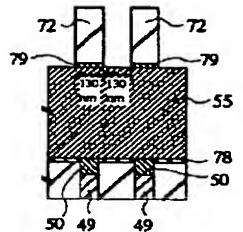
図15



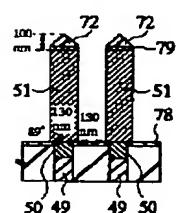
【図33】

図33

(a)

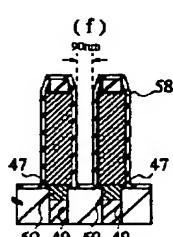
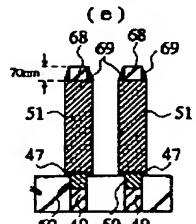
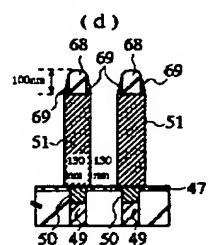
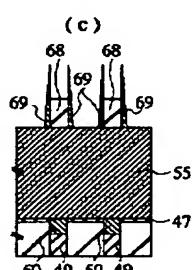
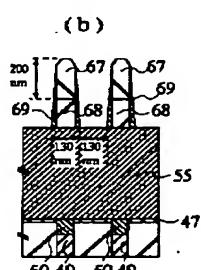
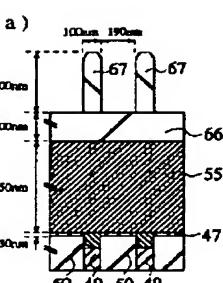


(b)

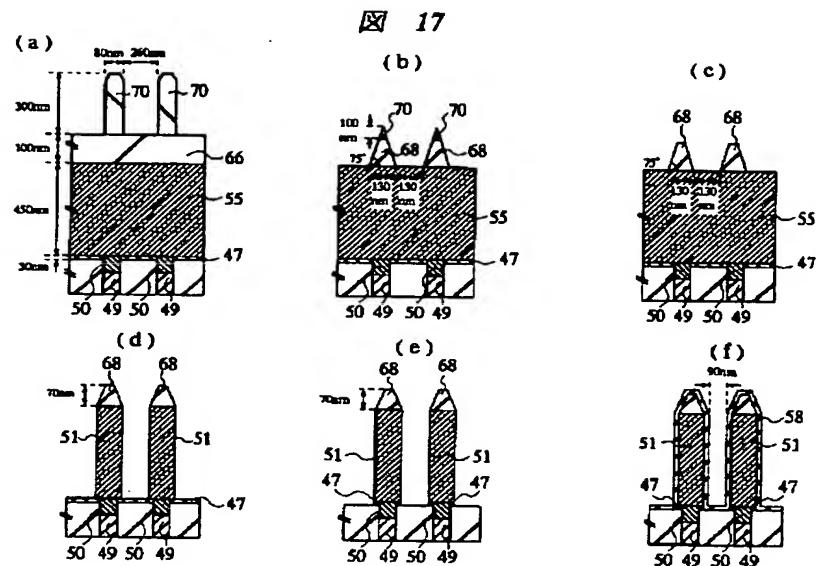


【図16】

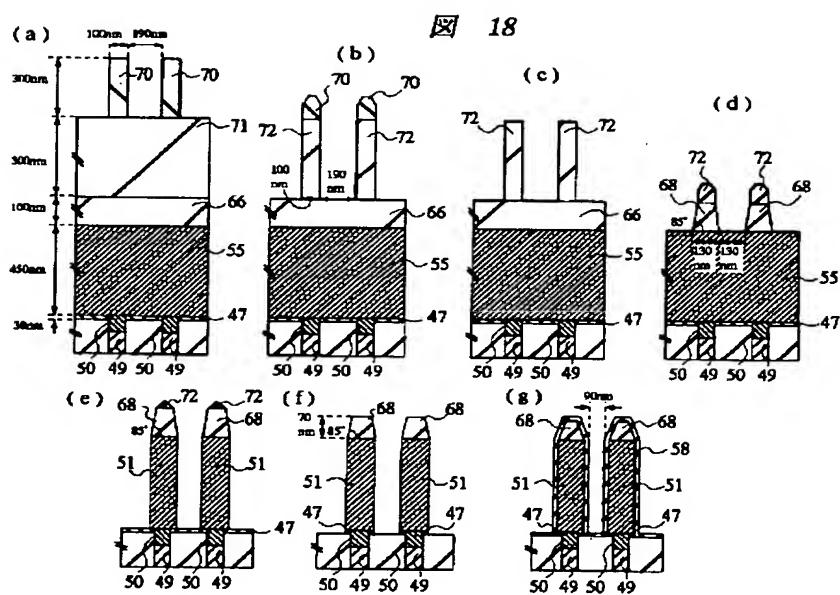
図16



【図17】

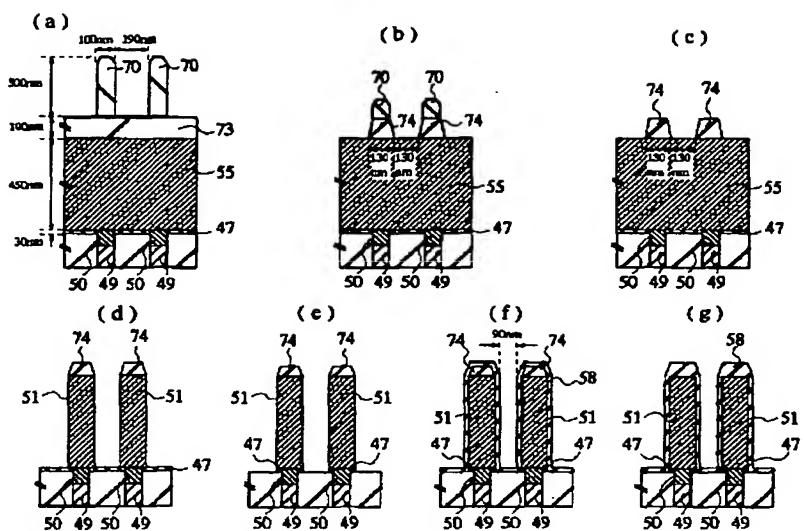


【図18】



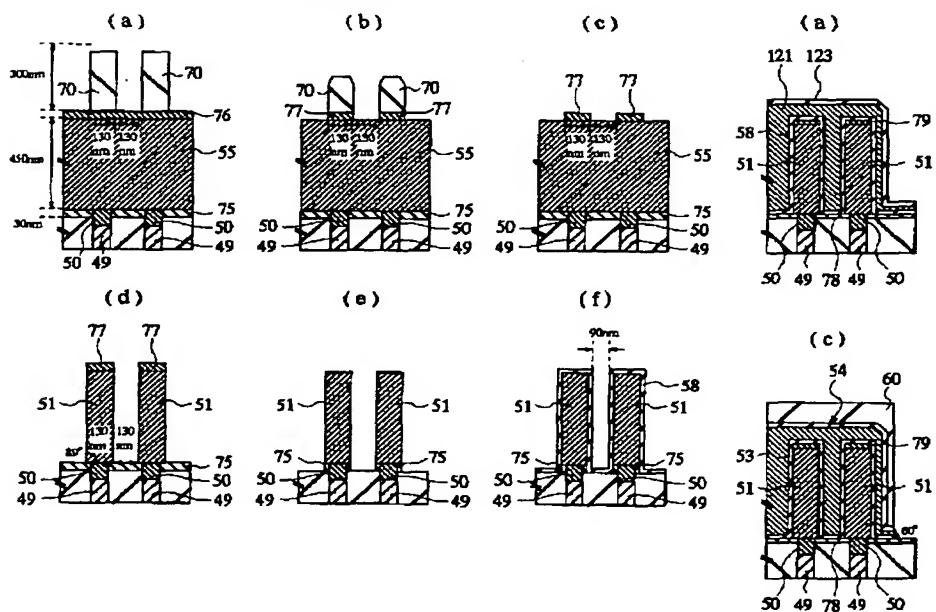
【図19】

図 19



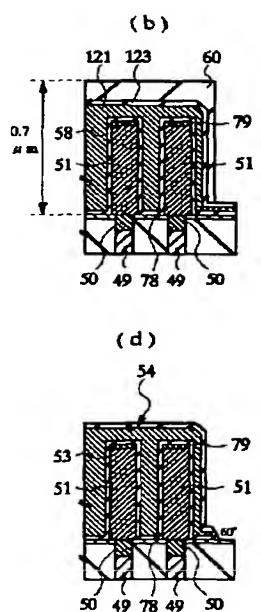
【図20】

図 20



【図30】

図 30



【図21】

〔図31〕

21

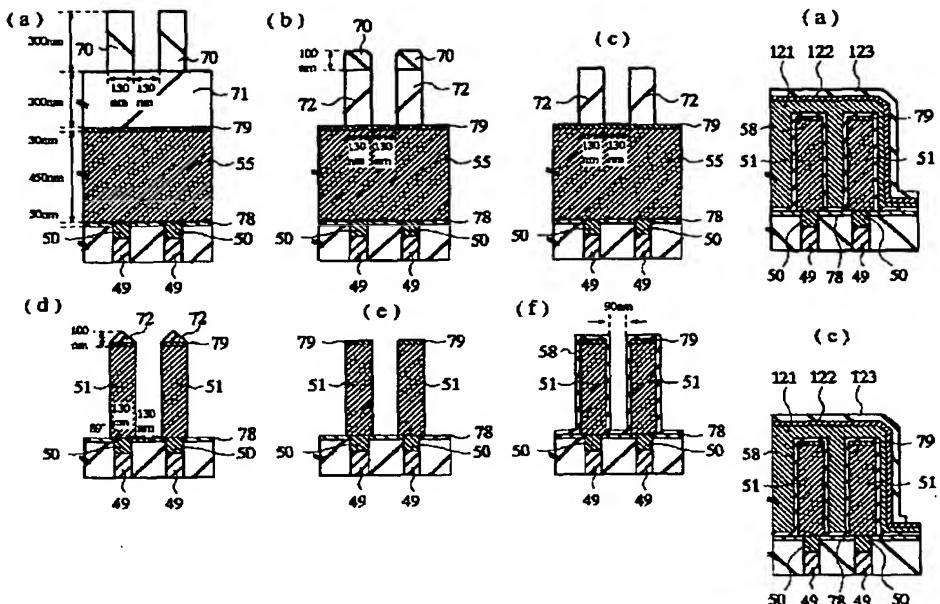
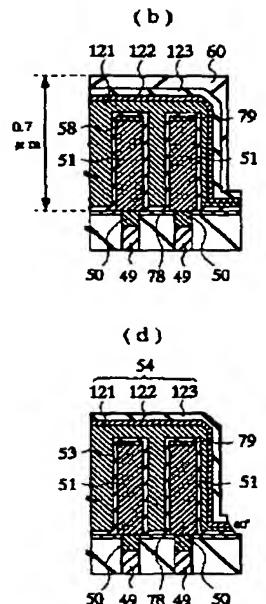
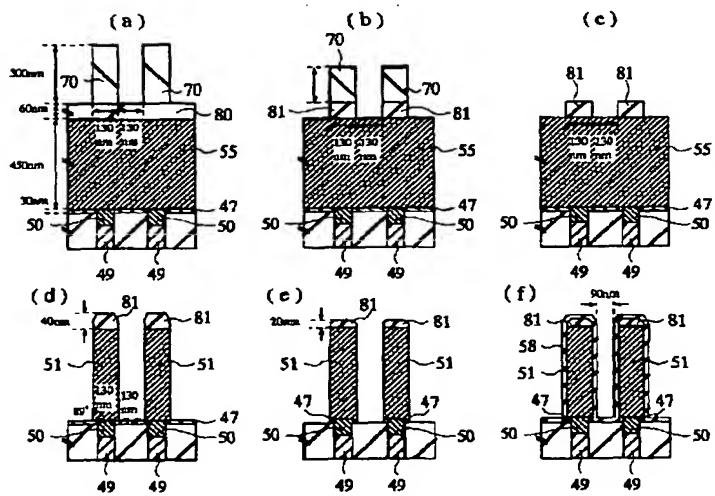


图 31



【图22】

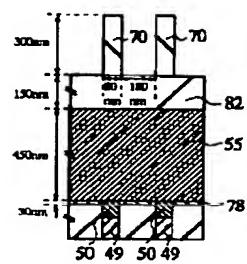
図 22



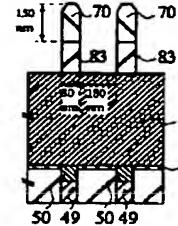
【図23】

図 23

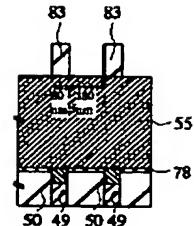
(a)



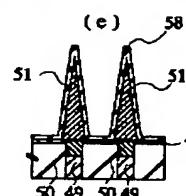
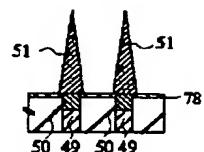
(b)



(c)

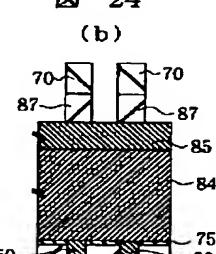
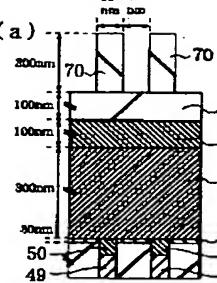


(d)

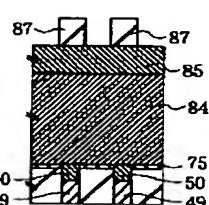


【図24】

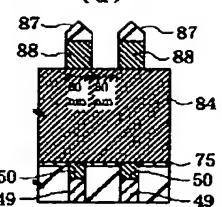
図 24



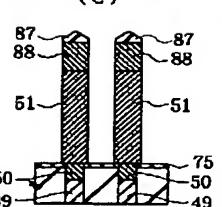
(c)



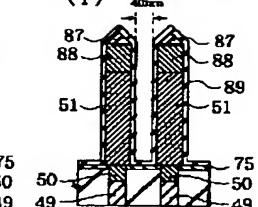
(d)



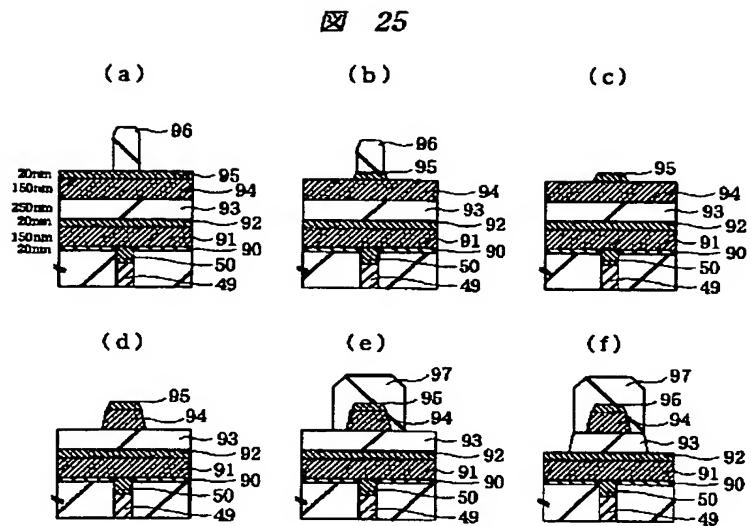
(e)



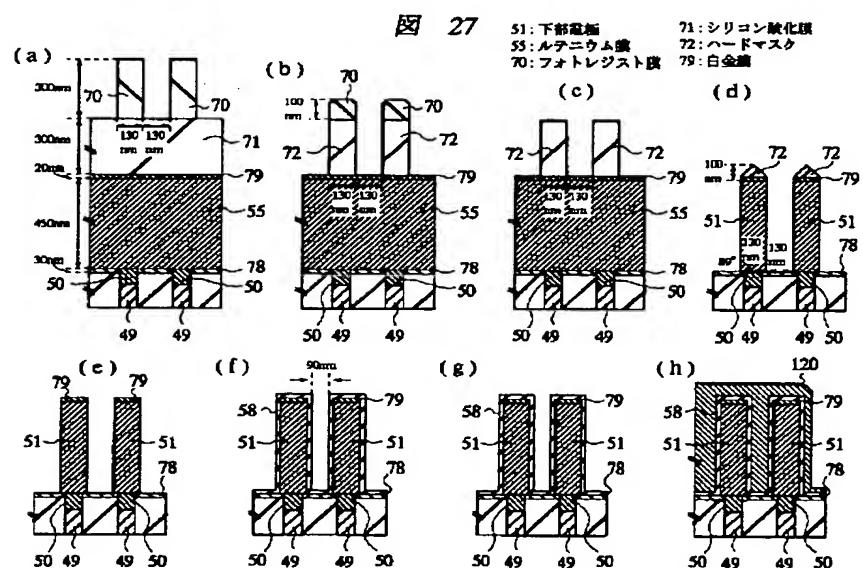
(f)



【図25】

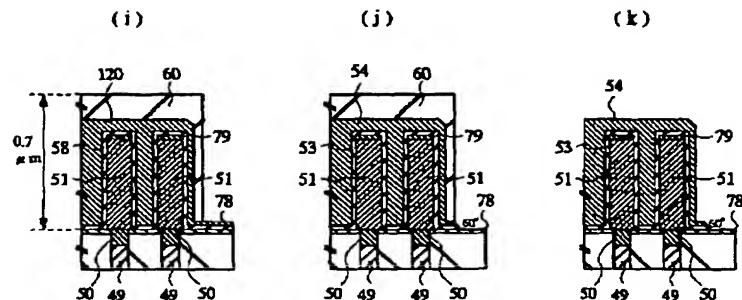


【図27】



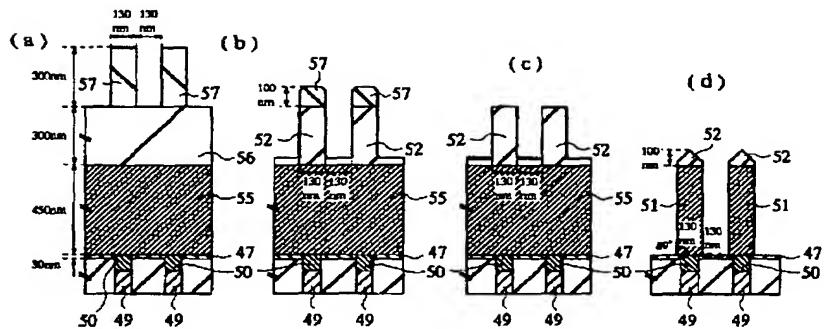
【図28】

図 28



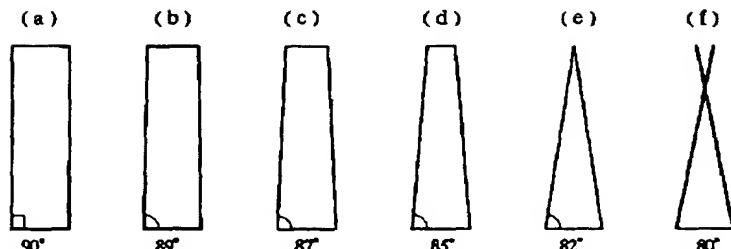
【図32】

図 32



【図34】

図 34



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 21/8247

29/788

29/792

識別記号

F 1

H01L 29/78

テマコト(参考)

371

(72)発明者 恒川 助芳  
東京都青梅市新町六丁目16番地の2 株式  
会社日立製作所熱器ライティング事業部内  
(72)発明者 平谷 正彦  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 松井 裕一  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

Fターム(参考) 5F001 AA17 AD17 AG07 AG09 AG10  
AG21 AG28 AG40  
5F004 AA09 BA20 BB18 CB02 CB16  
DA04 DA26 DB00 EA06 EA23  
5F058 BA11 BC03 BC09 BC20 BF02  
BH01 BJ01  
5F083 AD02 AD10 AD48 AD49 FR02  
GA03 HA02 JA02 JA06 JA13  
JA14 JA35 JA38 JA39 JA40  
JA56 KA05 MA02 MA06 MA15  
MA17 MA20 PR03 PR06 PR07  
PR12 PR21 PR23 PR29 PR39  
PR40 PR43 PR44 PR45 PR53  
PR54 PR55